

7

Phase Locked Loop - PLL

1 - Introdução

O PLL (*phase locked loop*) é um circuito também muito empregado na comunicação moderna e em microprocessadores. Em termos de aplicação, vislumbram-se três grandes eixos de aplicação:

- 1) Para “amarrar” ou “rastrear” fase, onde o circuito de PLL é capaz de identificar uma dada frequência a partir da comparação entre esta frequência e uma outra sintetizada no interior do seu circuito, fazer com que esta última alcance valor de frequência e fase similares a frequência de entrada que serve de referência;
- 2) Como multiplicador de clock, especialmente em microprocessadores, onde vários periféricos de hardware de um microprocessador (ou microcontrolador) precisam de um clock específico, com frequência maior do que o fornecido pelo cristal ligado ao processador. Neste caso, o PLL consegue pegar o sinal de clock do cristal e multiplicar seu valor de frequência fornecendo a estes periféricos o sinal desejado e provendo condições de usar somente um único cristal capaz de alimentar o sinal de tempo a todos estes periféricos.
- 3) Aplicações específicas, como demodulador FM, por exemplo.

Para começar a entender melhor, considere a configuração básica do PLL mostrada na **Figura 7.1-1**. Nela, mostra-se os 3 principais componentes que constituem a formação de um PLL para aplicações relacionadas ao rastreamento ou detecção (coerente) de fase. Esta mesma configuração pode ser usada como demodulador FM.

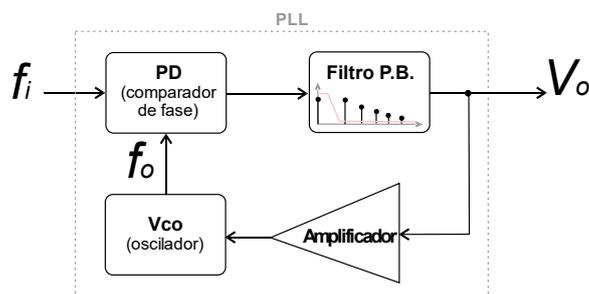


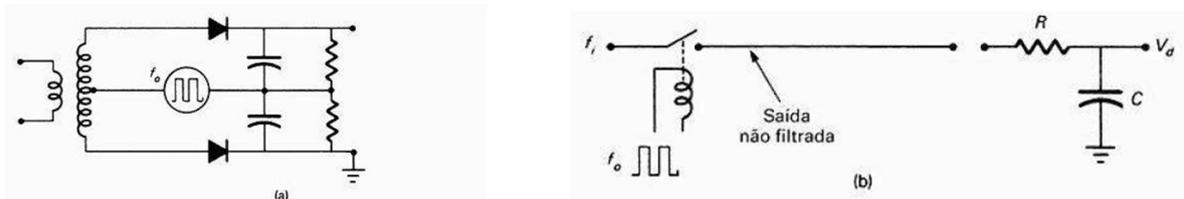
Figura 7.1-1: Componentes básicos de um PLL para rastreamento de frequência e fase. Algumas vezes, a retirada dos componentes de frequência ‘filtro’, permite que ele seja usado como demodulador FM também.

Para começar a entender seu funcionamento básico, considere que a entrada deste circuito, designada por f_{in} , exista uma dada frequência. Esta frequência entra em um de seus módulos, o PD (*phase detector* – detector de fase) ou melhor dizendo, o **comparador de fase**, que como se observa, também recebe um sinal de frequência produzido internamente pelo Vco existente dentro do PLL. O circuito PD compara estes dois sinais (o de entrada f_{IN} e o de referência produzido pelo próprio PLL através de seu V_{co} interno) e produz em sua saída sinal, um sinal que indica o quanto estas duas frequências. Este sinal, tem em suas componentes espectrais, várias frequências. Contudo, na frequência zero (ou melhor dizendo, no nível DC) está a indicação do quanto estas duas frequências estão próximas uma da outra. Quanto maior for o nível DC (em módulo), mais próximas uma frequência está da outra. Assim, para tirar estas outras componentes de frequência e deixar apenas o nível DC, este sinal é filtrado. O resultado na saída é um sinal DC que (neste caso da figura anterior) é amplificado e realimenta o Vco que aumenta sua frequência aproximando cada vez mais a sua frequência de saída do sinal de entrada f_{IN} de referência (que se deseja ‘amarrar’ ou ‘rastrear’) até que ambos sejam iguais e a saída do PD pare de aumentar (ele atingiu seu máximo, que é a indicação de igualdade de fase – e frequência – entre os dois sinais). Nisto, a entrada do Vco estabiliza (deixa de aumentar) e o PLL agora está sintonizado (ou amarrado) com a frequência de entrada.

Neste processo, antes de “amarrar”, durante o processo no qual o Vco, diz-se que o PLL está em **modo de aquisição ou rastreamento**. Já quando ele está estabilizado e já é capaz de produzir na saída do seu Vco um sinal com mesma frequência e fase do sinal de f_{IN} , diz-se que ele está em **modo amarrado**. Neste ponto é importante observar que quando se diz que as duas frequências (e fases) são as mesmas, não significa dizer que as formas de onda são as mesmas. Como veremos, pode ser (e isto é comum) que o sinal de entrada f_{IN} seja senoidal e a onda de saída do oscilador seja quadrada. Mesmo assim, ambas têm mesma frequência de oscilação (são periódicas) e mesma fase como veremos mais à frente, quando tratarmos do circuito do PD. Ademais, é bom esclarecer que pode haver uma diferença de fase entre o sinal de referência e o sinal produzido pelo Vco. Esta diferença é algumas vezes chamada de "erro estático de fase". Já a frequência, quando amarrada, é sempre a mesma da frequência de entrada uma vez que a condição de amarração é $f_m=f_o$.

2 – O circuito comparador de fase

A **Figura 7.2.-1** ilustra dois modelos diferentes de comparadores de fase analógico. Em ambos, temos em suas saídas, um conjunto de elementos RC que se comportam como um filtro passa-baixas ou integrador²⁷.



²⁷ Neste caso, chamamos de integrador porque este filtro algumas vezes deixa passar somente a frequência zero. Como a frequência zero de um espectro representa o seu nível DC, e este por sua vez representa a “soma da área” de um sinal, por isto algumas vezes ele é chamado de filtro integrador (porque faz a integral do sinal, ou melhor dizendo: estima a ‘área’ do sinal no tempo).

Figura 7.2-1: Circuito teórico de um comparador de fase analógico básico. (a) Corte usando diodo ou (b) corte usando chave eletromecânica (que poderia ser substituída por um transistor).

Considerando o comparador como uma chave simples (ou transistor, em corte e saturação, se preferir ou um diodo, dependendo do nível do sinal de entrada), como ilustrado na figura de referência. O sinal de frequência f_0 gerado pelo V_{co} simplesmente abre e fecha a chave. se $f_i \neq f_0$, então o comportamento do circuito é um misturador que produz frequências soma e diferença. Os capacitores mostrados são escolhidos para ter baixa reatância, em f_i , f_0 e f_i+f_0 , de forma que apenas o sinal (f_i-f_0) é visto em V_d . Neste sentido, funcionam como um filtro passa-baixas (ou integrador). Conforme se observa intuitivamente na **Figura 7.2-2a** a **7.2-2c**, quanto mais próxima a frequência e a fase de f_0 estiver de f_i , maior será o nível DC do sinal de saída. Contudo, este sinal de saída não é um sinal DC puro, pois ele é uma ‘amostra’ do quanto f_i está sintonizada com f_0 . Ou melhor dizendo, uma diferença de fase entre os dois sinais de entrada resulta em uma tensão DC que é proporcional à diferença de fase ($\theta_e = \theta_i - \theta_0$). O sinal f_0 é mostrado como uma onda quadrada porque sua função é abrir e fechar a chave em taxa exatamente igual à f_i .

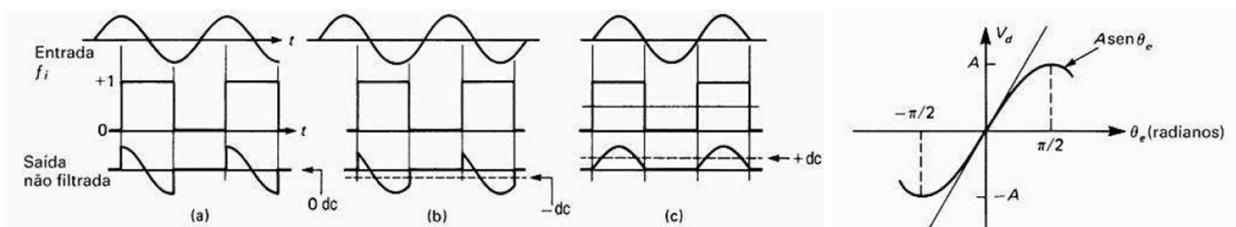


Figura 7.2-2: Comparação entre f_i , f_0 feita pelo detector de fase.

Após a malha ter sido amarrada, f_0 é exatamente igual a f_i ($f_i = f_0$), por definição de “amarrado”, e pode haver apenas uma diferença de sinais entre os dois sinais de entrada e do comparador. Quando o sistema está amarrado em fase, $\omega_0 = \omega_i$, o segundo harmônico é filtrado, então:

$$V_d = A \sin(\theta_i - \theta_0)$$

Essa tensão V_d é diretamente proporcional à amplitude do sinal de entrada, e o mais importante, ao erro de fase θ_e , se a amplitude do sinal for mantida constante. Na verdade, para θ_e pequeno, essa função de transferência é linear, como visto na **Figura 7.2-2b**.

Outra possibilidade, também muito usada de circuito PD é quando se emprega portas lógicas digitais (por isto são algumas vezes chamados de comparadores digitais). Ainda que o sinal de referência f_i seja analógico (senoidal), isto não é um problema pois o interesse aqui é sintonizar ambos sinais (de entrada e de referência) na mesma frequência e fase. O eventual sinal senoidal de entrada pode inclusive ser “quadrado” (usando um comparador por AO ou porta schmit trigger, por exemplo) antes de passar pelo PD.

O comparador de fase usando uma porta XOR (OU-EXCLUSIVO) é mostrado a título de exemplo na **Figura 7.2-3**. A saída Y da porta XOR é baixa quando ambas as entradas são iguais (ou seja, estão na mesma fase e frequência). Caso contrário, ela produz pequenos pulsos onde as duas ondas de entrada não são

iguais. Neste caso, quanto mais iguais são as duas formas de onda, menor é o valor RMS. Conseqüentemente, quanto menor for o sincronismo, maior será o valor RMS de saída.

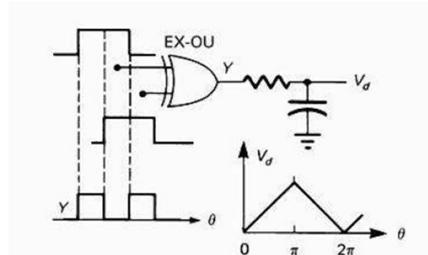


Figura 7.2-3: Detector de fase digitais usando porta XOR (esquerda) ou latch (direita).

Como mostrado na **Figura 7.2-3**, o comparador de fase digital pode produzir um PLL linear em uma faixa completa onde o erro entre as fases das duas frequências pode ser de 0 a 2π . O problema do uso de comparadores digitais de fase em aplicações de receptores de comunicação sensível reside na dificuldade de filtrar as transições abruptas dos impulsos (típicos de sinais digitais) e suas conseqüentes harmônicas, para prevenir a interferência de radiofrequência (RFI).

3 – Detalhamento do processo de amarração de fase

Para entender o processo de amarração de frequência, vamos fazer um procedimento recursivo hipotético para ajudar a reconstruir a dinâmica do processo de funcionamento interno do PLL. Vale destacar que o exemplo aqui mencionado pode mudar (e vai mudar) para outras configurações de PLL. De toda maneira, o modelo aqui posto é uma boa referência para entender sua dinâmica e pode ser estendido para os outros modelos. Para isto, considere a **Figura 7.3-1** como referência e a sequência de instruções abaixo que tentam mostrar a dinâmica de funcionamento do PLL:

- 1) Considere que que no estágio inicial (**Figura 7.3-1A**), existe uma frequência de entrada de 108MHz que se deseja ‘amarrar’. Contudo, o modo de aquisição (ou rastreamento) não iniciou porque a chave (leia-se transistor) vista em P1 está aberto e nada entra no filtro. Se nenhum sinal entra no filtro, nada saída e nenhuma tensão é inserida no Vco que oscila em sua frequência mínima (considere que o range do Vco é 100MHz até 110MHz, por exemplo, com resolução de ajuste de 1V/MHz).
- 2) Considere que agora o operador do circuito inicie o modo rastreamento (**Figura 7.3-1B**) fechando a chave (acionando o transistor). Ao fazer isto, o comparador de fase solta uma forma de onda similar a ilustrada na **Figura 7.2-2**. Como as frequências de comparação não são iguais (e como dito anteriormente, o valor RMS deste sinal é proporcional ao quanto suas frequências são próximas), um sinal em P1 de 1Vrms é produzido (lembrando que se trata de um exemplo hipotético e os valores indicados aqui são meramente ilustrativos). Este sinal passa pelo

- filtro/integrador que retira²⁸ todas as frequências deixando apenas o nível DC. Em P2, que antes era 0V, agora passa a valer 1V que é amplificado entrando no oscilador agora um sinal de 2V (antes era zero). Estes 2V na entrada do oscilador faz com que ele agora produza uma saída de 102MHz, quando antes era 100MHz, aproximando mais ainda da frequência de referência f_i .
- 3) No passo anterior (**Figura 7.3-1B**), viu-se que o oscilador mudou sua frequência de 100MHz para 102MHz com a fechamento da chave (que representa o início do processo de rastreamento). Ao fazer isto, no próximo passo (**Figura 7.3-1C**), produz-se em P1 uma onda cujo valor RMS é maior uma vez que agora a diferença de frequência entre f_i e f_o diminuiu em relação ao passo anterior. Agora, o ponto P2 que tinha 1V, passa a ter 2V que produz na entrada do Vco 4V que por sua vez produz em sua saída uma onda de 104MHz quando antes era 102MHz. Observe que este amplificador aqui acelera o processo de crescimento, decrementando o tempo de amarração. Sem ele, em cada intereção o oscilador aumentaria só 1MHz e não 2MHz, como é feito aqui. O ganho também não pode ser muito grande pois pode dificultar o processo de convergência.
 - 4) Seguindo a lógica, em **Figura 7.3-1D**, teremos mais uma vez a tensão RMS elevando-se em P1 devido ao processo de aproximação entre as frequências f_i e f_o . Ao aumentar mais uma vez, o ponto P2 gera uma tensão que aciona o Vco que produz em sua saída 106MHz. Este ciclo se repete em **Figura 7.3-1E** quando, finalmente, o valor visto em P1 é o ideal. Ele gera uma entrada no Vco que faz com que a sua oscilação seja a mesma de entrada, mantendo este valor de P1. Contudo, se por algum motivo qualquer, este valor de P1 aumentar, como ilustrado em **Figura 7.3-1F**, esta aumento de tensão gera um aumento de frequência do Vco que novamente ‘desintoniza’ o circuito PD forçando ele a produzir uma saída menor em P1 e trazendo-o de volta para seu valor de 4V que o estabilizara e o coloraca em modo de amarramento. Por isto, esta malha realimentada tenta forçar a presença deste valor de referência. Observe que a saída do circuito Vo é o valor DC responsável associado aquele valor de frequência. Por exemplo, se tivéssemos uma entrada $f_i=110\text{MHz}$, o valor provável para este exemplo quando em modo amarrado é $V_o=5\text{V}$. Assim, o PLL faz uma relação de tensão para cada frequência, assim como faz o Vco. Porém, de forma contrária. **Em outras palavras: no Vco a entrada é um nível DC e a saída um sinal de frequência proporcional; já no PLL a entrada é um sinal de frequência e a saída um nível DC proporcional aquele sinal de frequência.**

²⁸ Em alguns casos, este filtro deixa passar a frequência f_i-f_o (todas outras são cortadas) que representa a diferença de frequência entre as duas ondas ou o “erro de frequência” (que indica a diferença de frequência entre um sinal e outro; na amarração este erro deve ser o menor possível, devendo chegar a zero para que $f_i=f_o$). Assim, sua saída agora não é mais um nível DC puro e sim uma “onda de batimento”. Neste caso, a malha (ou PLL) trava, quando o valor de frequência desta onda é o menor possível e atinge o valor zero (ou seja: $V_o=0$)

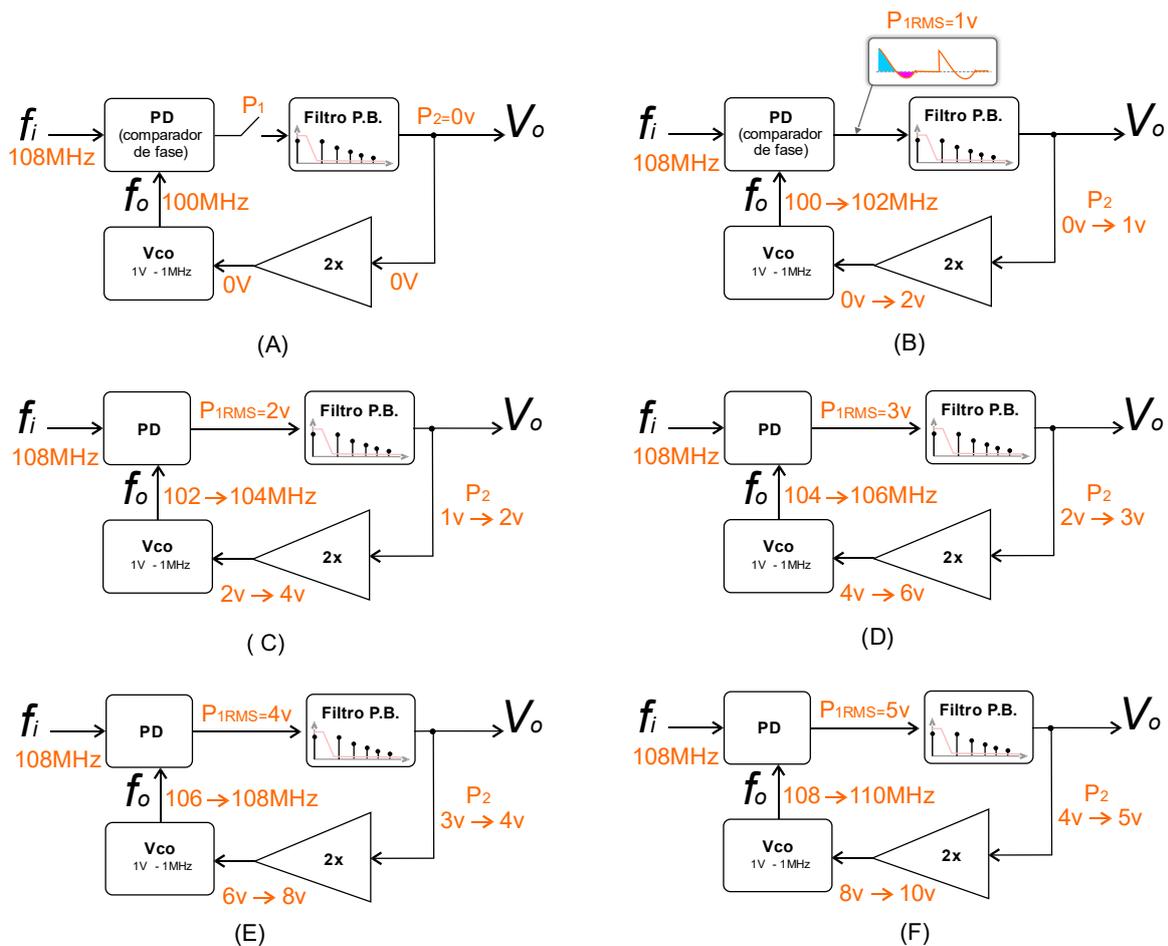


Figura 7.3-1: Exemplo de dinâmica de funcionamento passo a passo. No estágio (E) ele foi amarrado.

4 – Outras configurações de aplicações

Como descrito nos primeiros parágrafos deste capítulo, o PLL é um circuito que pode ser usado para diferentes finalidades. E em cada uma destas finalidades, ele pode sofrer modificações em seu circuito interno para atender a funcionalidade de cada uma. Na [Figura 7.4-1](#), nota-se uma mudança no circuito onde foi inserido um bloco a mais: um divisor²⁹ de frequência. Neste caso, o divisor pode ter valor variável segundo a aplicação desejada. Ao inserir este divisor de frequência, **o PLL terá o poder agora de multiplicar³⁰ frequência!** Logo, agora a saída do PLL nesta aplicação não é mais o pino V0 e sim o pino Fo' (saída do Vco). Com base no ajuste do valor de N, pode-se agora fazer com que o PLL seja capaz de gerar uma frequência N vezes maior do que a frequência de referência f_i . Devido a esta característica de poder gerar várias frequências diferentes (dependendo do valor de N) com base em 1 única fonte de sinal de referência (f_i), ele também é algumas vezes considerado como um sintetizador de frequências.

²⁹ Em eletrônica digital sequencial, aprende-se que com o uso de flip flops T (ou seja, um FF tipo JK curto-circuitado em Vcc) pode-se dividir clocks. Cada FF pode dividir o clock em 2x. Dois FF cascateados assincronamente podem dividir 4x o clock e assim por diante. Contadores digitais podem dividir clock em valores que não sejam potência na base 2.

³⁰ Com frequência, nesta aplicação, ele também é chamado sintetizador de frequências.

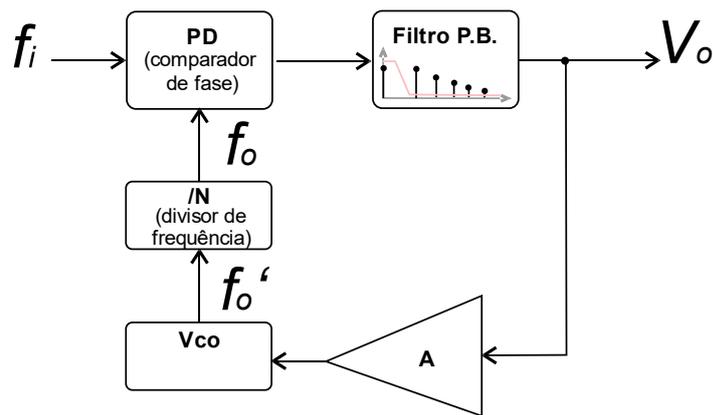


Figura 7.4-1: PLL como sintetizador ou multiplicador de frequência

Para entender melhor o funcionamento do PLL como um multiplicador de clock/frequência, imagine o exemplo ilustrado na [Figura 7.4-1a](#). A dinâmica de funcionamento é a mesma que se observou no exemplo anterior. Lembrando que os valores são meramente didáticos e não estão em proporção direta com o que acontece na realidade. Mesmo assim, ilustram bem a dinâmica de funcionamento do PLL.

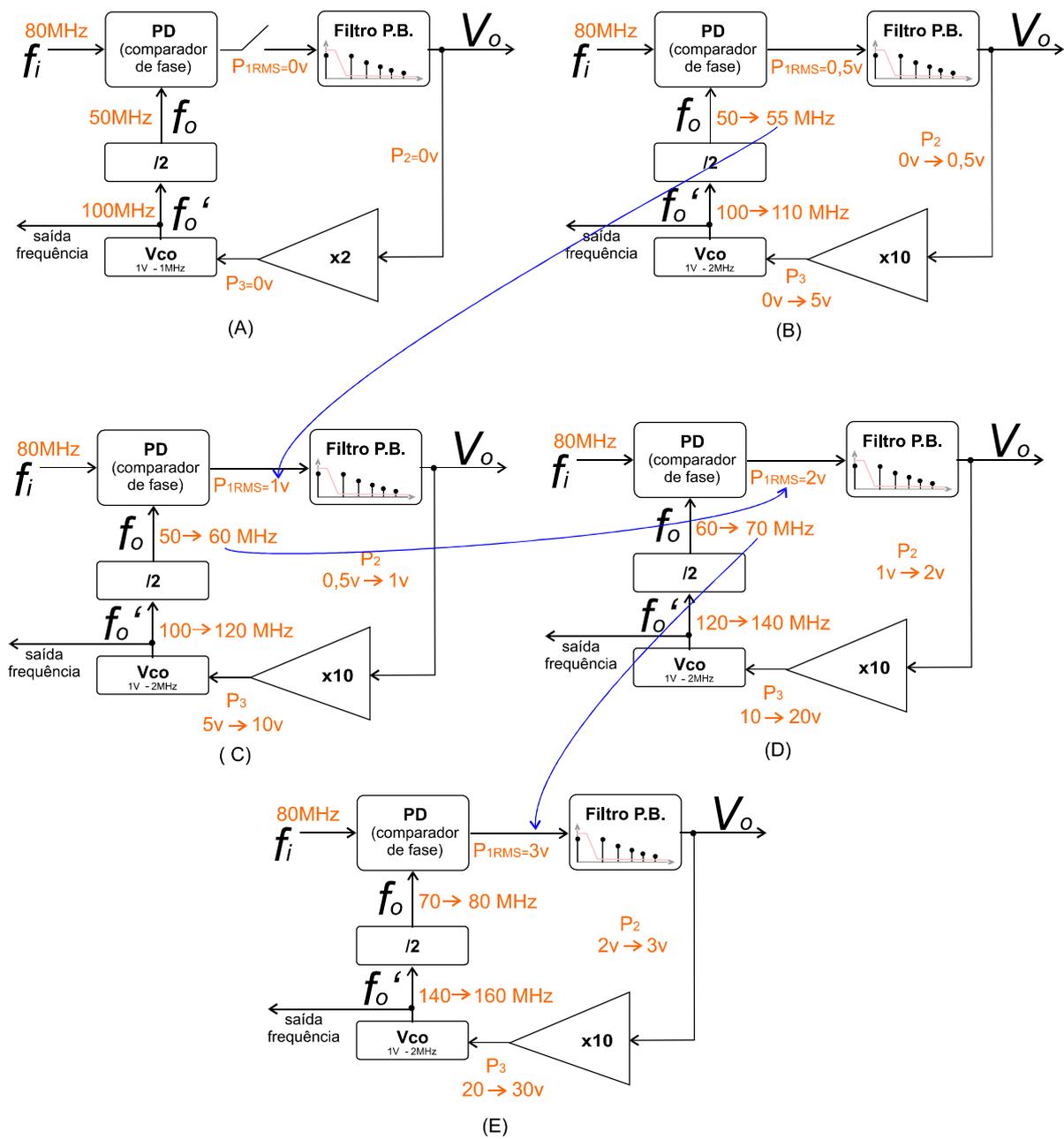


Figura 7.4-2: PLL funcionando como um multiplicador de frequência.