



**Universidade Federal de Uberlândia
Engenharia Eletrônica e de Telecomunicações**

- Eletrônica digital -

Capítulo 2 – Circuitos Combinacionais

Prof. Alan Petrônio Pinheiro

Introdução

- Lógica para tomada de decisões
 - George Boole (1854): “Uma investigação das leis do pensamento”
- Termo “álgebra booleana”
 - Relacionamento entre entrada (circunstâncias) e saída (decisões)
- Circuitos lógicos x Portas lógicas



Álgebra booleana e circuitos lógicos

- Constantes e variáveis

- Número x estado

- **NÍVEL LÓGICO**

Lógico 0	Lógico 1
Falso	Verdadeiro
Desligado	Ligado
Baixo	Alto
Não	Sim
Aberto	Fechado

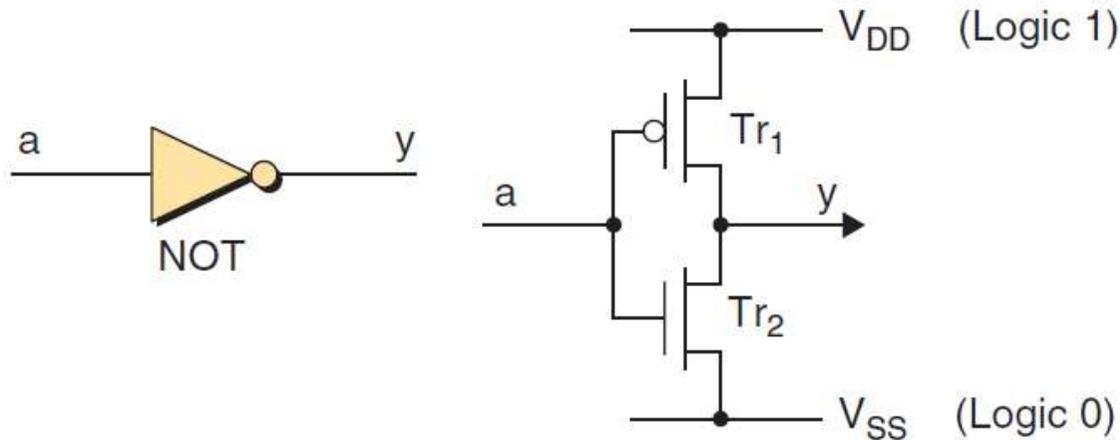
- Álgebra Booleana

- Representar relação entrada e saída

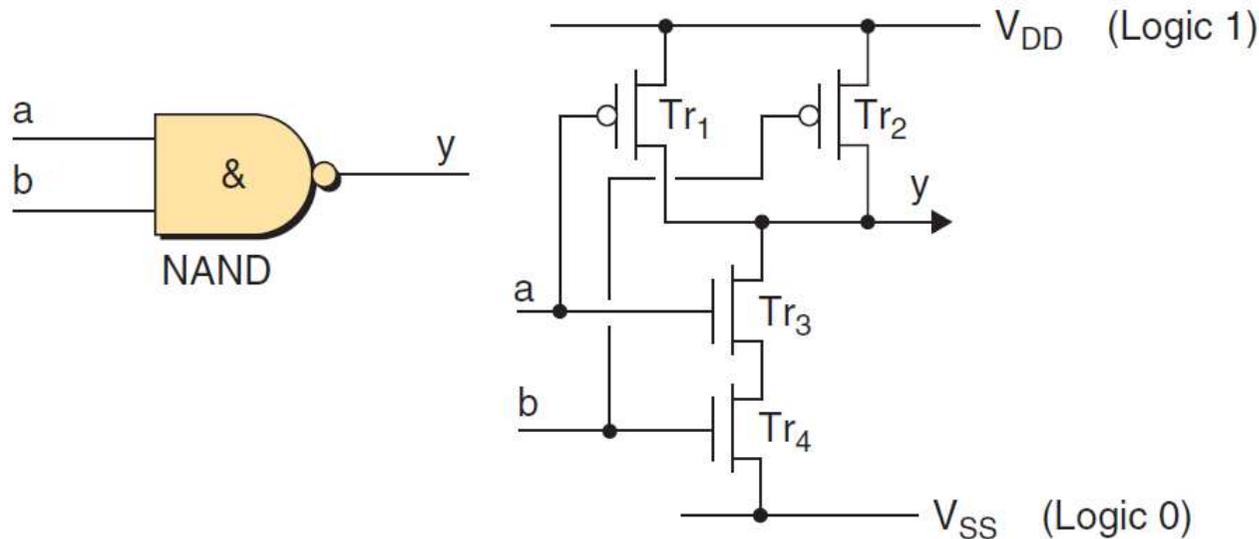


• Construção de portas lógicas

– Inversora:

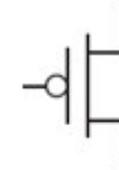


– NAND:



Relembrando:

Transistor PMOS:



0v porta = saturado

(resistência dreno e fonte zero!)

>0v porta = corte

(resistência dreno e fonte infinita!)

Transistor NMOS:



0v porta = corte

(resistência dreno e fonte infinita!)

>0v porta = saturado

(resistência dreno e fonte zero!)

- Tabela verdade

- Técnica para relacionar entre e saídas de um circuito

Output

Inputs

A	B	x
0	0	1
0	1	0
1	0	1
1	1	0

A	B	C	x
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	0
1	1	1	1

(b)

A	B	C	D	x
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

(c)



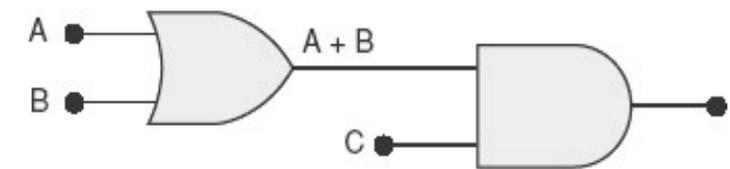
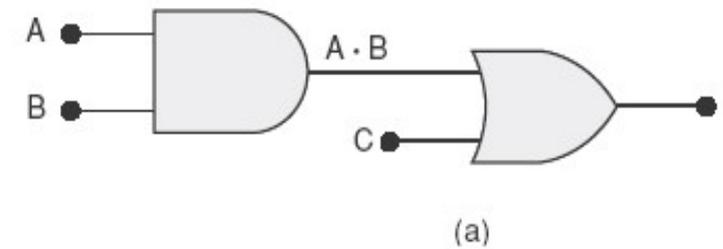
(a)

Descrição algébrica de circuitos lógicos

- Precedência de operadores

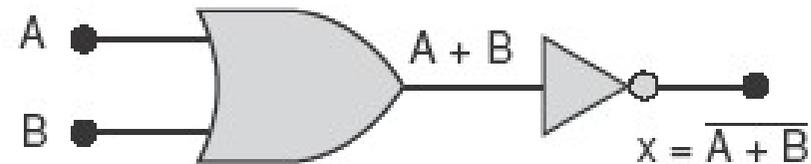
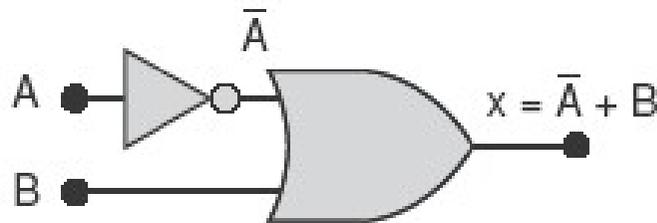
- Ex.: $X = A \cdot B + C$

- Prioridade x parenteses

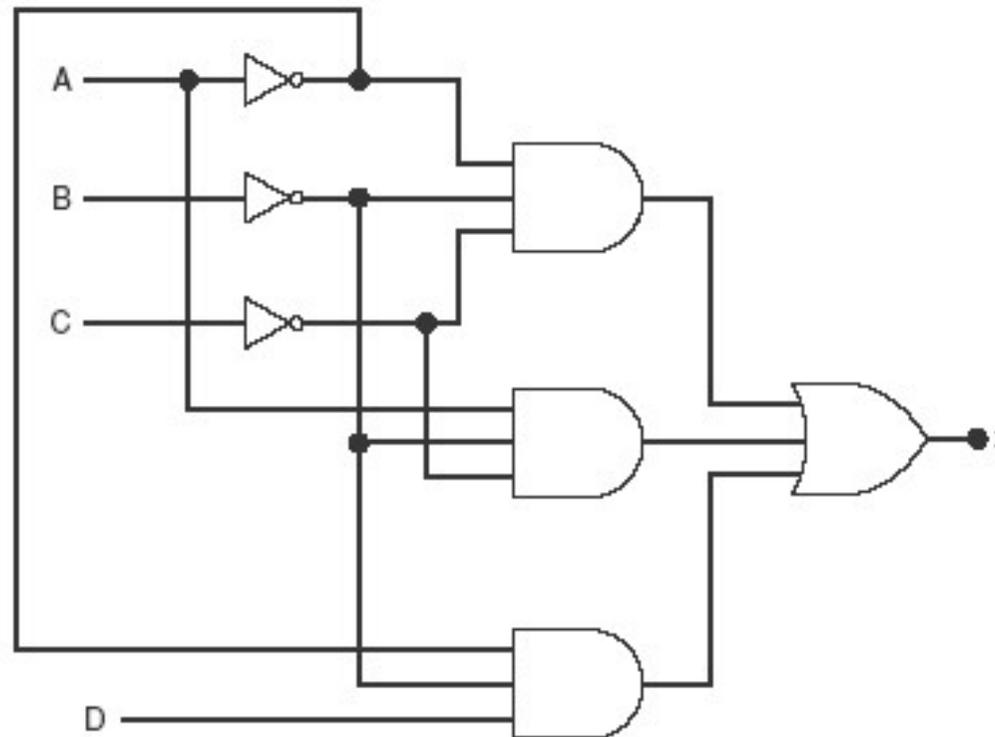


- Circuitos com inversores

- $\overline{(A + B)} \neq (\overline{A} + \overline{B})$



Exemplo: Escreva a expressão booleana para a saída x da figura abaixo, determine x para todas as condições possíveis de entrada e relacione os resultados em uma tabela-verdade



Habilidades ...

- Avaliação de saídas
 - Atribuir valor às entradas e calcular suas saídas
 - Exemplo: A=0; B=0; C=1; D=1 e E=1. (segundo circuito)
- Implementação de circuitos usando expressões booleanas
 - Desenhar o diagrama do circuito a partir da expressão
 - Exemplo:

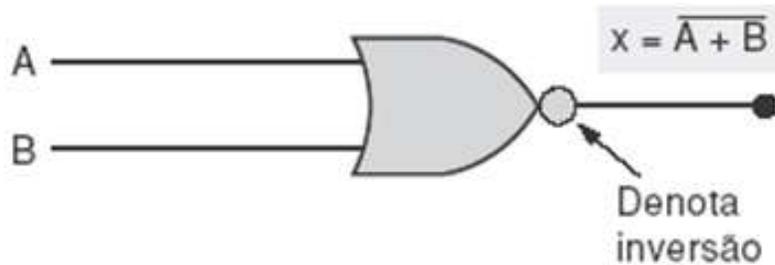
$$y = AC + B\bar{C} + \bar{A}BC$$



- Outras portas derivadas

- NOR (não OU)

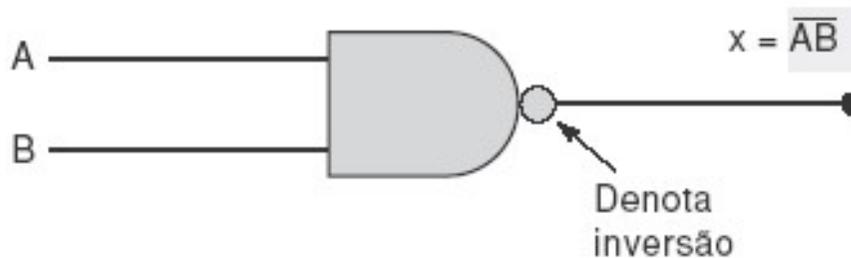
- $x = \overline{A + B}$



A	B	OR		NOR	
		A + B	$\overline{A + B}$		
0	0	0	1		
0	1	1	0		
1	0	1	0		
1	1	1	0		

- NAND (não E)

- $x = \overline{AB}$



A	B	AND		NAND	
		AB	\overline{AB}		
0	0	0	1		
0	1	0	1		
1	0	0	1		
1	1	1	0		

Teoremas booleanos

- Simplificar expressões/circuitos
- Teoremas com uma variável



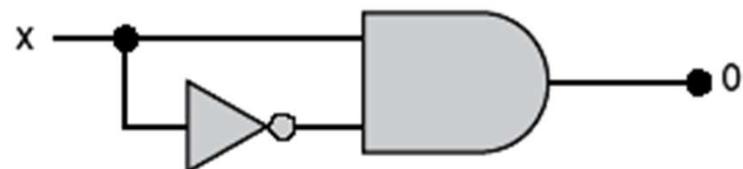
(1) $x \cdot 0 = 0$



(2) $x \cdot 1 = x$



(3) $x \cdot x = x$



(4) $x \cdot \bar{x} = 0$



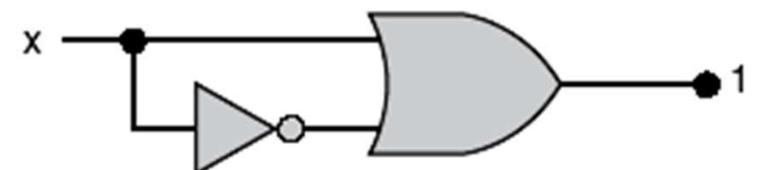
(5) $x + 0 = x$



(6) $x + 1 = 1$



(7) $x + x = x$



(8) $x + \bar{x} = 1$

- Estratégia simplificação: renomear variáveis

– Ex.: $x = \overline{ABC}(\overline{ACB})$

- Teoremas com mais de uma variável

- (9) $x + y = y + x$

- (10) $x \cdot y = y \cdot x$

- (11) $x + (y + z) = (x + y) + z = x + y + z$

- (12) $x(yz) = (xy)z = xyz$

- (13a) $x(y + z) = xy + xz$

- (13b) $(w + x)(y + z) = wy + xy + wz + xz$

- (14) $x + xy = x$

- (15a) $x + \overline{xy} = x + y$

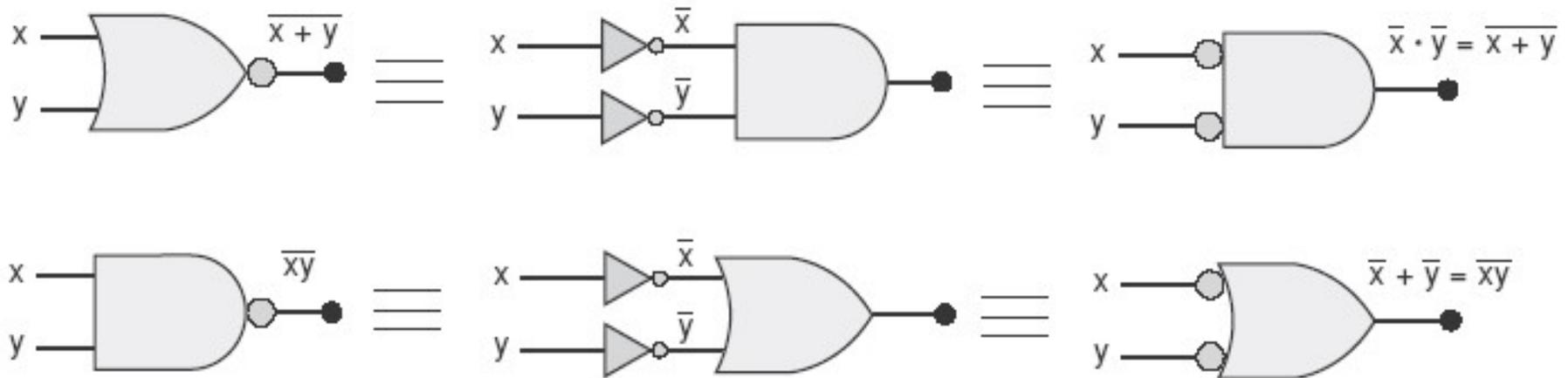
- (15b) $\overline{x} + xy = \overline{x} + y$



- Teoremas de DeMorgan

- (16) $\overline{(x + y)} = \bar{x} \cdot \bar{y}$

- (17) $\overline{(x \cdot y)} = \bar{x} + \bar{y}$

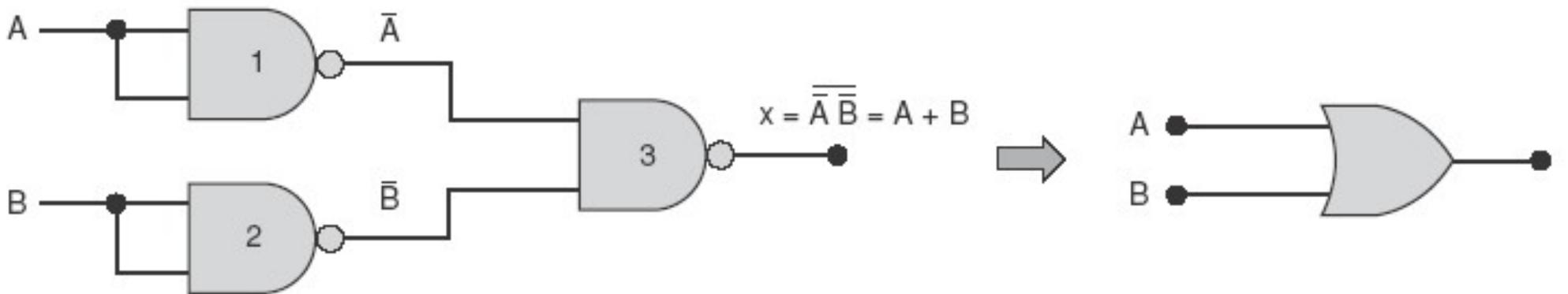
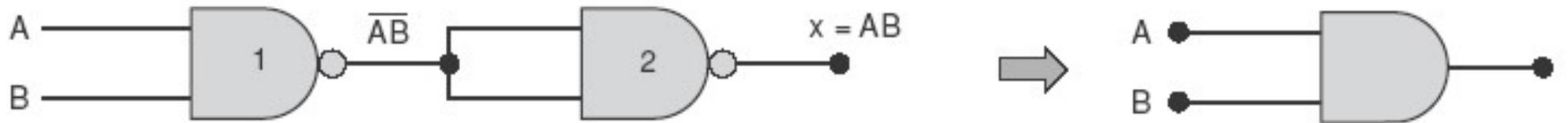


Exemplo: Desenhe o circuito lógico correspondente usando portas AND, OR e INVERSORES

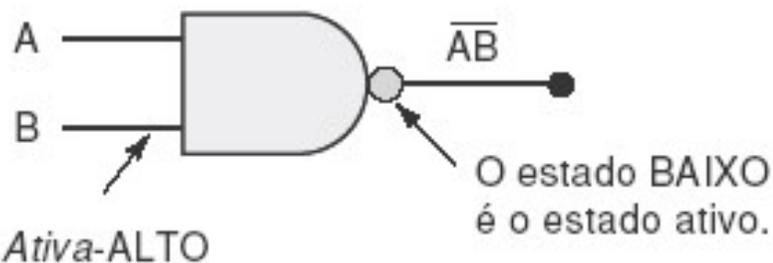
$$Y = \overline{(A + B + \overline{CDE})} + \overline{BCD}$$



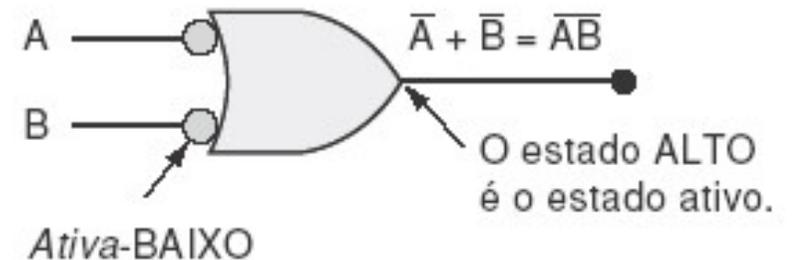
Universalidade porta NAND



- Ativo ALTO/BAIXO
 - Estado ativo: ACIONADO
 - Representação ativo baixo barrada
 - $\overline{RD}, \overline{RAM}, \overline{MEM}$
 - Sinal de dois estados
 - RD / \overline{WR}



A saída vai para o nível BAIXO somente quando todas as entradas forem para o nível ALTO.



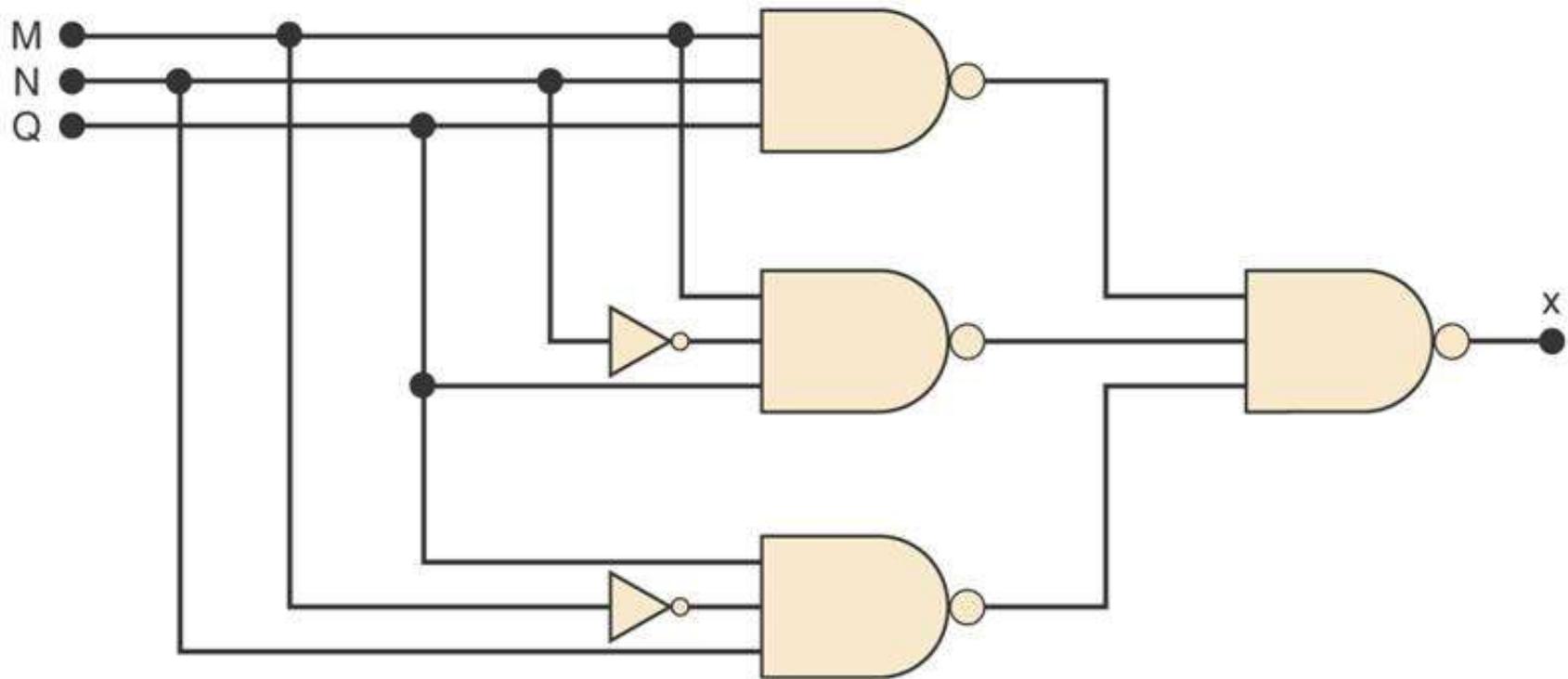
A saída vai para o nível ALTO quando qualquer entrada for para o nível BAIXO.

Simplificação algébrica de circuitos lógicos

- Tentativa e erro
- Experiência do projetista
- Nem sempre simplifica circuito
- Passos empregados:
 - Expressão original \rightarrow soma-de-produtos
 - soma-de-produtos \rightarrow fatoração



- **Exemplo:** Simplifique o circuito abaixo:



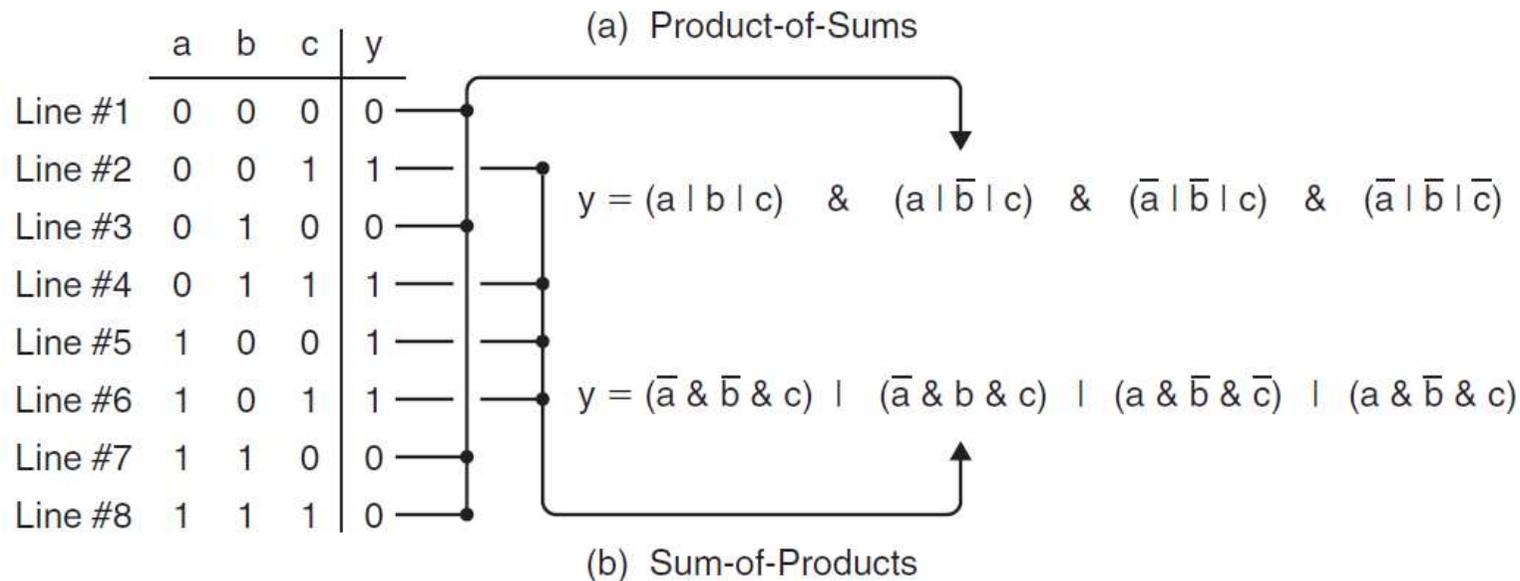
Projeto circuitos combinacionais

- Expressão booleana a partir da tabela-verdade
- Procedimento:
 - 1) Interpretar o problema e construir tabela-verdade
 - 2) Escrever o termo AND para cada caso onde a saída é 1
 - 3) Escrever a expressão da soma-de-produtos para a saída
 - 4) Simplificar a expressão algébrica, se possível
 - 5) Implementar o circuito da expressão simplificada

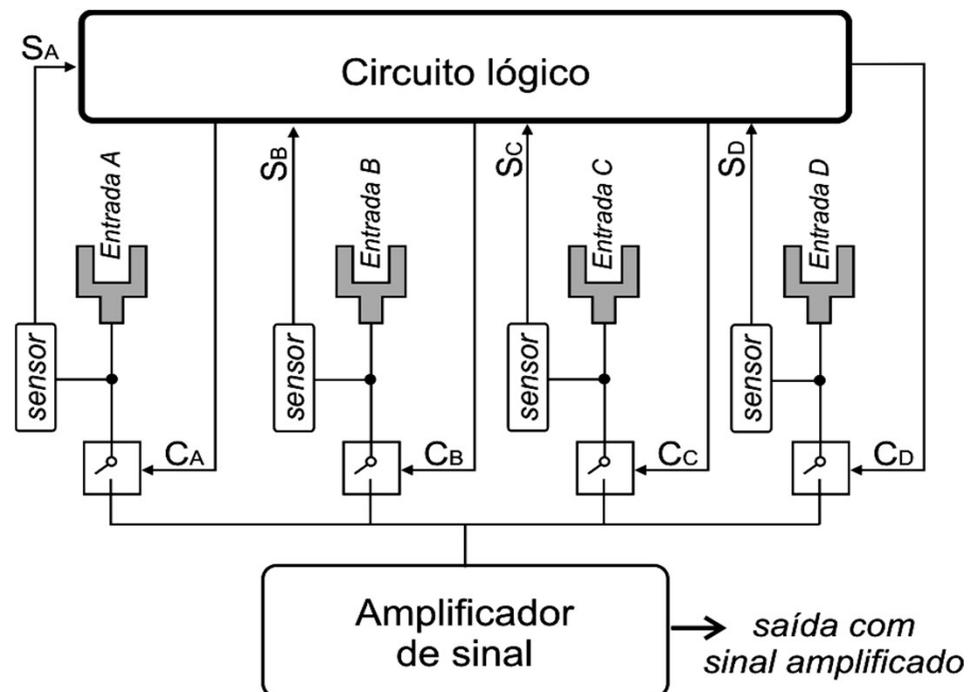


- Tratamento da tabela verdade do problema:

a	b	c	Minterms	Maxterms
0	0	0	$(\bar{a} \& \bar{b} \& \bar{c})$	$(a \mid b \mid c)$
0	0	1	$(\bar{a} \& \bar{b} \& c)$	$(a \mid b \mid \bar{c})$
0	1	0	$(\bar{a} \& b \& \bar{c})$	$(a \mid \bar{b} \mid c)$
0	1	1	$(\bar{a} \& b \& c)$	$(a \mid \bar{b} \mid \bar{c})$
1	0	0	$(a \& \bar{b} \& \bar{c})$	$(\bar{a} \mid b \mid c)$
1	0	1	$(a \& \bar{b} \& c)$	$(\bar{a} \mid b \mid \bar{c})$
1	1	0	$(a \& b \& \bar{c})$	$(\bar{a} \mid \bar{b} \mid c)$
1	1	1	$(a \& b \& c)$	$(\bar{a} \mid \bar{b} \mid \bar{c})$



Exemplo: Um certo dispositivo possui 4 canais de entrada por onde deverão entrar sinais que serão amplificados a partir de um único circuito amplificador conforme ilustra a figura. Considerando que estes canais sejam nomeados por A, B, C e D, estabelece-se uma relação de prioridade entre eles onde $A > B > C > D$. Sensores S_A , S_B , S_C e S_D monitoram a presença de sinais nestes canais conforme diagrama. Na presença de um sinal no barramento, o sensor envia ao circuito um nível alto. A partir destas entradas enviadas, o circuito deve escolher qual das chaves C_A , C_B , C_C ou C_D acionar para ligar o canal ao circuito amplificador (o acionamento é feito enviando o nível lógico alto à chave escolhida). O circuito só pode amplificar um sinal de cada vez pois possui somente um amplificador. Projete um circuito que a partir das disposições dos sensores indicando a presença ou não de sinal nos canais, escolha qual chave que deve ser ligada ao amplificador.



Mapas de Karnaugh

- Método de mapeamento gráfico (alternativa tabela-verdade)
- Utilidade prática limitada
- Melhor simplificação possível
- Formato mapa Karnaugh (mapa K)
 - Cada linha tabela-verdade corresponde a 1 quadrado
 - Quadrados adjacentes diferem de apenas 1 variável

A	B	X
0	0	1 → $\bar{A}\bar{B}$
0	1	0
1	0	0
1	1	1 → AB

$$\left\{ X = \bar{A}\bar{B} + AB \right\}$$

	\bar{B}	B
\bar{A}	1	0
A	0	1

A	B	C	X
0	0	0	1 → $\bar{A}\bar{B}\bar{C}$
0	0	1	1 → $\bar{A}\bar{B}C$
0	1	0	1 → $\bar{A}B\bar{C}$
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1 → $AB\bar{C}$
1	1	1	0

$$\left\{ X = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} + AB\bar{C} \right\}$$

	\bar{C}	C
$\bar{A}\bar{B}$	1	1
$\bar{A}B$	1	0
AB	1	0
$A\bar{B}$	0	0

A	B	C	D	X
0	0	0	0	0
0	0	0	1	1 → $\bar{A}\bar{B}\bar{C}D$
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1 → $\bar{A}B\bar{C}D$
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1 → $AB\bar{C}D$
1	1	1	0	0
1	1	1	1	1 → ABCD

$$\left\{ X = \bar{A}\bar{B}\bar{C}D + \bar{A}B\bar{C}D + AB\bar{C}D + ABCD \right\}$$

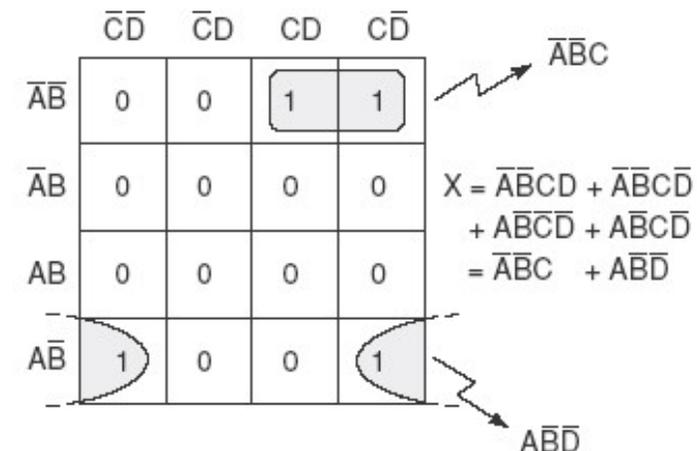
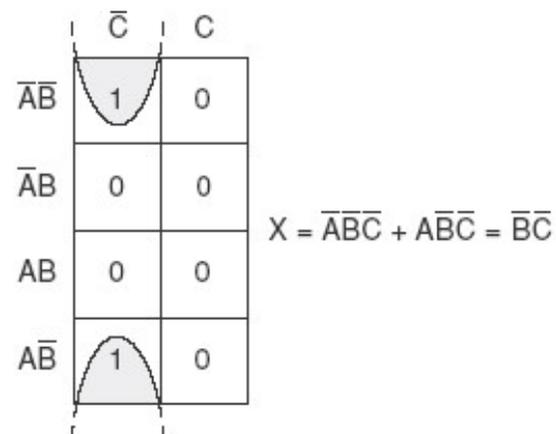
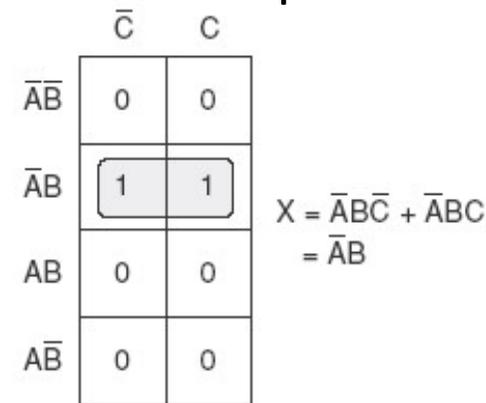
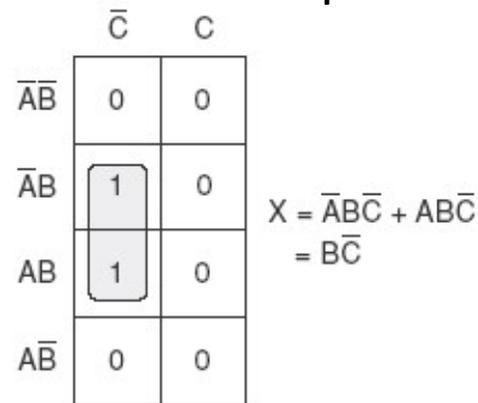
	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	1	0	0
$\bar{A}B$	0	1	0	0
AB	0	1	1	0
$A\bar{B}$	0	0	0	0

- Agrupamentos

- Combinação adequada dos quadros mapa K

- Agrupamento de dois quadros:

- Agrupando um par de 1s adjacentes, elimina-se a variável que aparece nas formas complementada e não-complementada



- Agrupamento de quatro quadros (quarteto)
 - Elimina-se 2 variáveis que aparecem nas formas complementada e não-complementada

	\bar{C}	C
$\bar{A}\bar{B}$	0	1
$\bar{A}B$	0	1
AB	0	1
$A\bar{B}$	0	1

$X = C$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	0	0
AB	1	1	1	1
$A\bar{B}$	0	0	0	0

$X = AB$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	1	1	0
AB	0	1	1	0
$A\bar{B}$	0	0	0	0

$X = BD$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	0	0	0	0
AB	1	0	0	1
$A\bar{B}$	1	0	0	1

$X = A\bar{D}$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	0	0	1
$\bar{A}B$	0	0	0	0
AB	0	0	0	0
$A\bar{B}$	1	0	0	1

$X = \bar{B}D$

- Agrupamento de oito quadros (octeto)
 - Elimina-se 3 variáveis que aparecem nas formas complementada e não-complementada

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	0	0	0
$\bar{A}B$	1	1	1	1
AB	1	1	1	1
$A\bar{B}$	0	0	0	0

$X = B$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	1	0	0
$\bar{A}B$	1	1	0	0
AB	1	1	0	0
$A\bar{B}$	1	1	0	0

$X = \bar{C}$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	1	1	1
$\bar{A}B$	0	0	0	0
AB	0	0	0	0
$A\bar{B}$	1	1	1	1

$X = \bar{B}$

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	0	0	1
$\bar{A}B$	1	0	0	1
AB	1	0	0	1
$A\bar{B}$	1	0	0	1

$X = \bar{D}$

- “Quando uma variável aparece nas formas complementada e não-complementada em um agrupamento, tal variável é eliminada da expressão. As variáveis que não se alteram para todos os quadros do agrupamento têm de permanecer na expressão final”
- Procedimento completo:
 - 1) Construir mapa K colocando 1s nos quadros que correspondem aos 1s da tabela-verdade. Nos demais coloque 0s
 - 2) Agrupe os 1s que NÃO sejam adjacentes a quaisquer outros 1s (1s isolados)
 - 3) Procure os 1s que são adjacentes a SOMENTE um outro 1. Agrupe o par
 - 4) Agrupe qualquer OCTETO mesmo que ele contenha alguns 1s que já tenham sido agrupados
 - 5) Agrupe qualquer QUARTETO que contenha pelo menos 1 que ainda não tenha sido agrupado certificando-se de usar o menor número de agrupamentos
 - 6) Agrupe quaisquer pares necessários para incluir quaisquer 1s que ainda não tenham sido agrupados sempre usando o menor número de agrupamentos
 - 7) Forme a soma OR de todos os termos gerados para cada grupo



- Exemplos de agrupamentos

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0 ₁	0 ₂	0 ₃	1 ₄
$\bar{A}B$	0 ₅	1 ₆	1 ₇	0 ₈
AB	0 ₉	1 ₁₀	1 ₁₁	0 ₁₂
$A\bar{B}$	0 ₁₃	0 ₁₄	1 ₁₅	0 ₁₆

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0 ₁	0 ₂	1 ₃	0 ₄
$\bar{A}B$	1 ₅	1 ₆	1 ₇	1 ₈
AB	1 ₉	1 ₁₀	0 ₁₁	0 ₁₂
$A\bar{B}$	0 ₁₃	0 ₁₄	0 ₁₅	0 ₁₆

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0 ₁	1 ₂	0 ₃	0 ₄
$\bar{A}B$	0 ₅	1 ₆	1 ₇	1 ₈
AB	1 ₉	1 ₁₀	1 ₁₁	0 ₁₂
$A\bar{B}$	0 ₁₃	0 ₁₄	1 ₁₅	0 ₁₆

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	1	0	0
$\bar{A}B$	0	1	1	1
AB	0	0	0	1
$A\bar{B}$	1	1	0	1

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	0	1	0	0
$\bar{A}B$	0	1	1	1
AB	0	0	0	1
$A\bar{B}$	1	1	0	1

- Exercício: Determine a expressão mínima para os mapas k mostrados abaixo:

	$\bar{C}\bar{D}$	$\bar{C}D$	CD	$C\bar{D}$
$\bar{A}\bar{B}$	1	0	1	1
$\bar{A}B$	1	0	0	1
AB	0	0	0	0
$A\bar{B}$	1	0	1	1

0	1	0	0
0	1	0	0
1	1	1	0
0	0	1	1

0	0	0	0
0	0	0	0
1	1	1	1
1	0	1	1

Exercício : Determine as expressões dos mapas K abaixo:

0	1	0	0
0	1	0	0
1	1	1	0
0	0	1	1

0	0	0	0
0	0	0	0
1	1	1	1
1	0	1	1

- Preenchendo o mapa K a partir da expressão de saída
 - 1) Passe a expressão para a forma de soma-de-produtos caso ela não esteja nesse formato
 - 2) Para cada termo produto da expressão na forma de soma-de-produtos, coloque um 1 em cada quadrado do mapa K cuja posição seja correspondente a combinação das variáveis da expressão. Coloque 0 nos demais

Exemplo: Simplifique a equação abaixo usando a técnica de Karnaugh

$$z = \overline{A}\overline{B}C + \overline{A}C\overline{D} + \overline{A}B\overline{C}\overline{D} + A\overline{B}C$$



- Condições de irrelevância

- certas condições de entrada não existem saídas possíveis
- Condição de irrelevância representada por x
- Nas condições de irrelevância, o projetista pode assumir um valor para x em benefício do projeto.



Exercício: Deseja-se construir um sistema de monitoramento para carros que, por meio de um alarme sonoro, alerte o motorista toda vez que o motor do seu veículo estiver trabalhando em regime “perigoso”, caracterizado por pressão do óleo insuficiente ou pela temperatura da água acima do valor estabelecido. Para tal controle, existem sensores que indicam a velocidade de rotação do motor, a pressão do óleo e a temperatura da água. Se o número de rotações do motor estiver acima de 2.000 rpm, a temperatura da água deverá estar abaixo de 80°C. Porém, com o motor girando abaixo de 2.000 rpm, tolera-se uma temperatura de até 90°C

a) Reproduza o mapa de Karnaugh na configuração mostrada na figura 1 e preencha-o adequadamente

b) Escreva a expressão booleana minimizada da saída S no mapa K abaixo

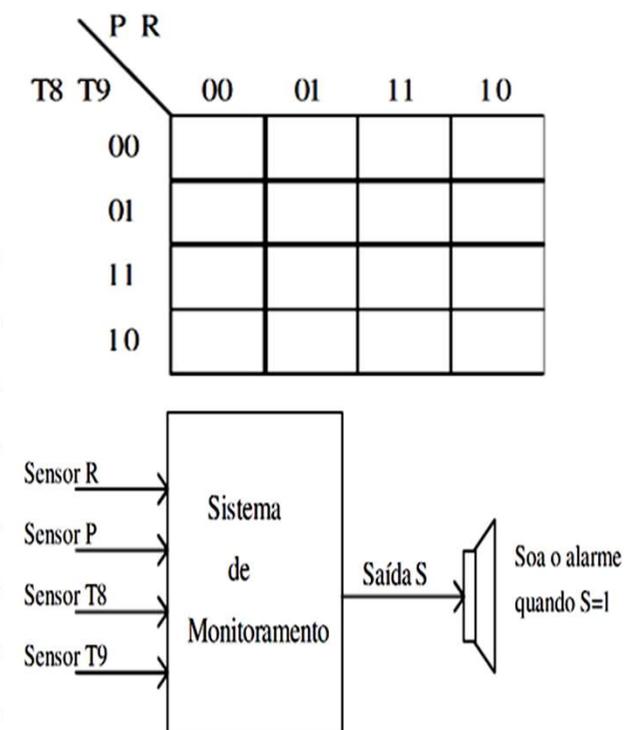
c) Desenhe o circuito, empregando portas lógicas.

Sensor R	Rotações do motor
0	Igual ou abaixo de 2.000 rpm
1	Acima de 2.000 rpm

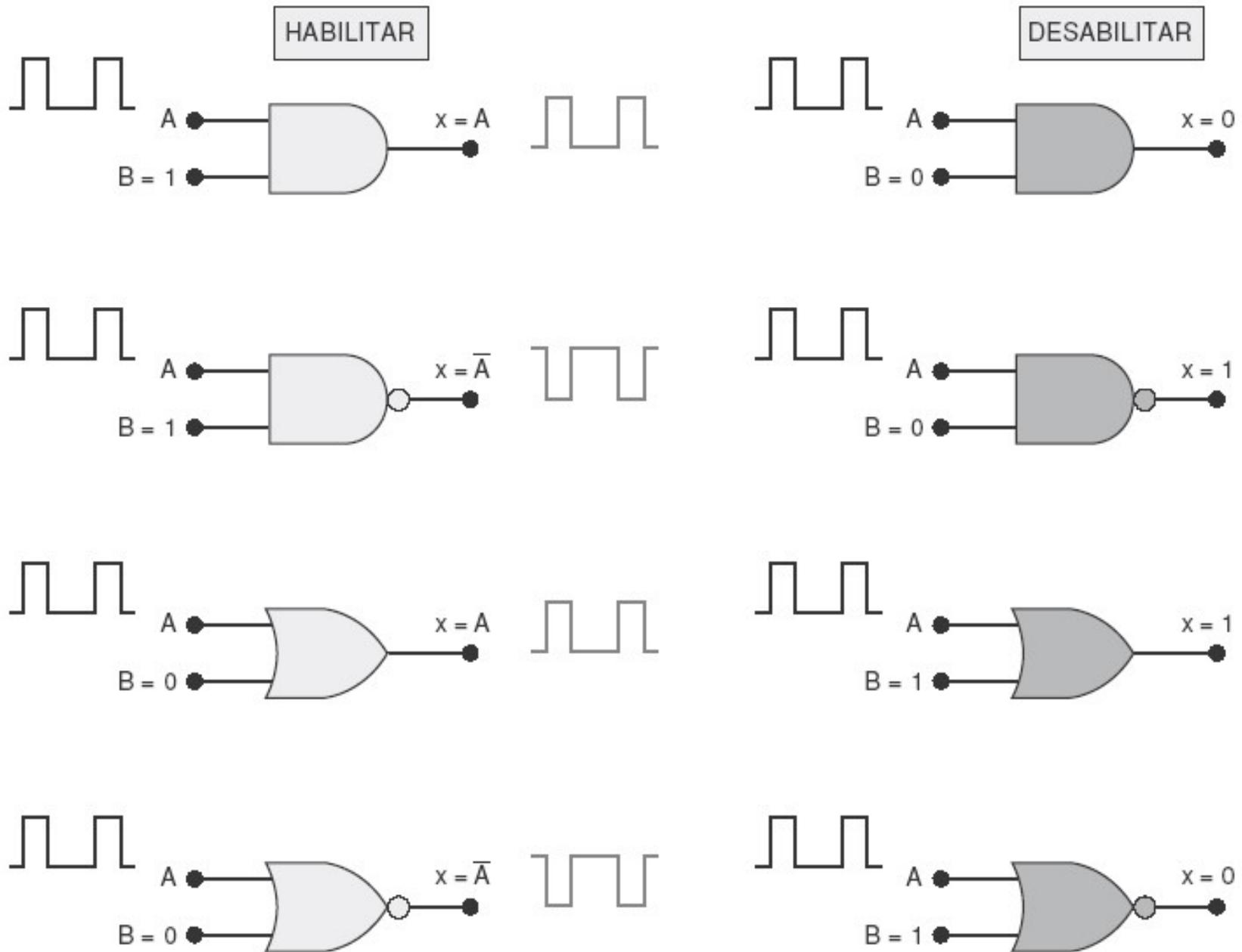
Sensor P	Pressão do óleo
0	Pressão correta
1	Pressão fora da especificação

Sensor T8	Temperatura da água
0	Igual ou abaixo de 80°C
1	Acima de 80°C

Sensor T9	Temperatura da água
0	Igual ou abaixo de 90°C
1	Acima de 90°C

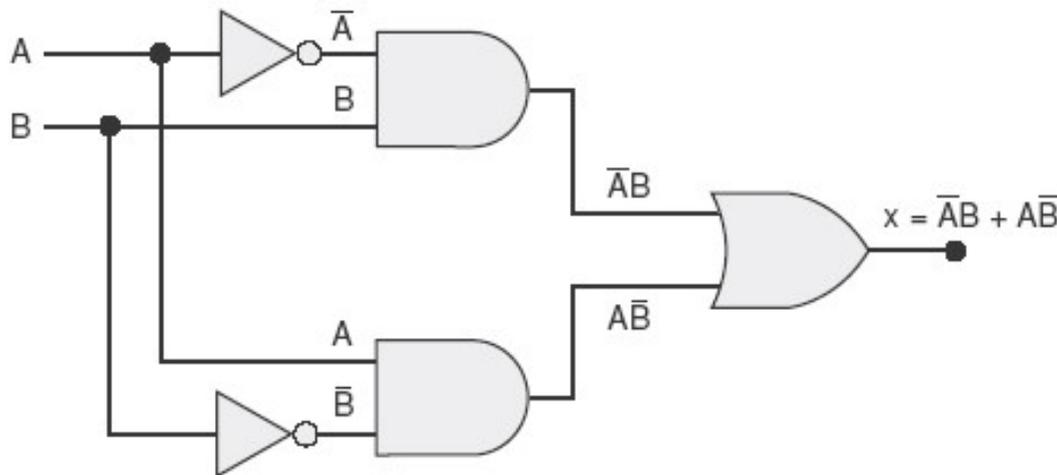


- Circuitos para habilitar/desabilitar



Portas OR-exclusivo e NOR-exclusiva

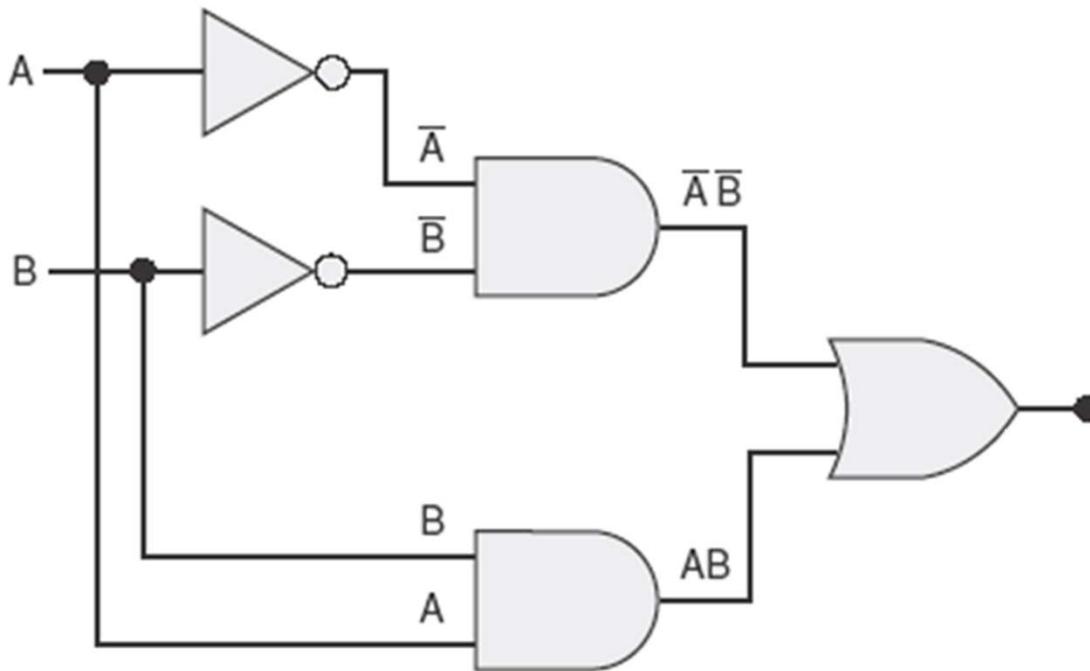
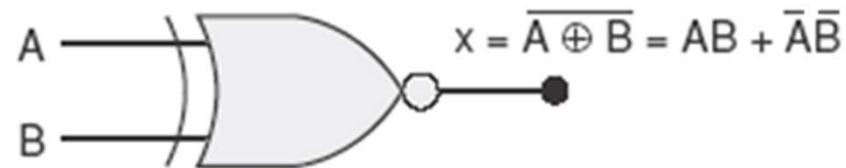
- Exclusive-OR (OU-Exclusivo) - **XOR**
 - Saída alta somente quando as duas entradas estiverem em níveis diferentes
 - Somente duas entradas



A	B	x
0	0	0
0	1	1
1	0	1
1	1	0

- Exclusive-NOR (NOU-Exclusivo) – **XNOR**

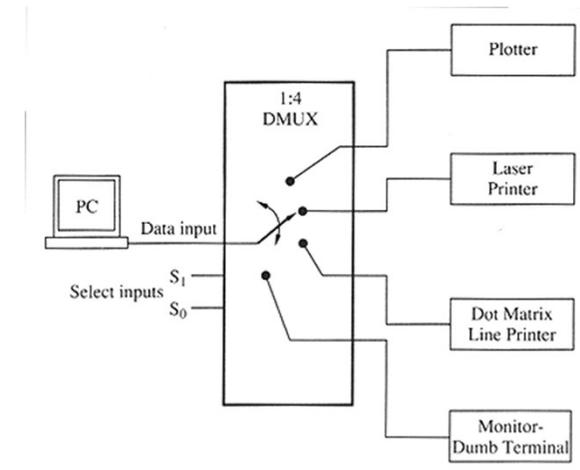
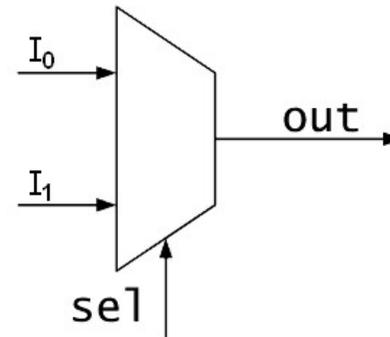
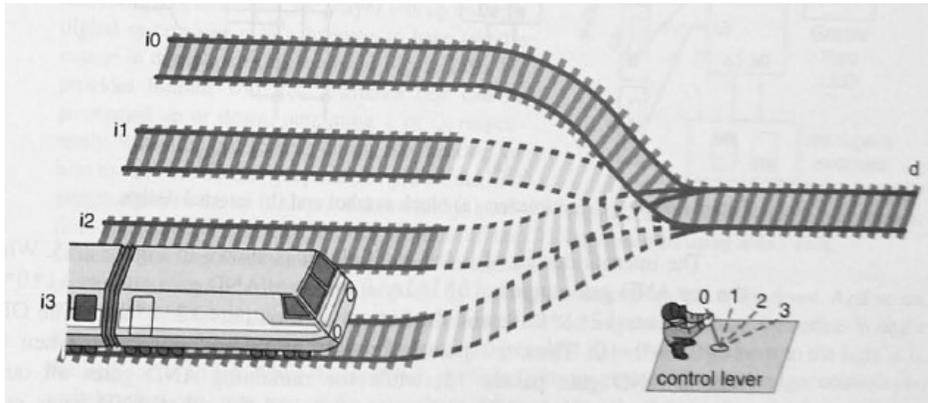
- Gerará uma saída alta somente se as duas entradas estiverem no mesmo nível lógico



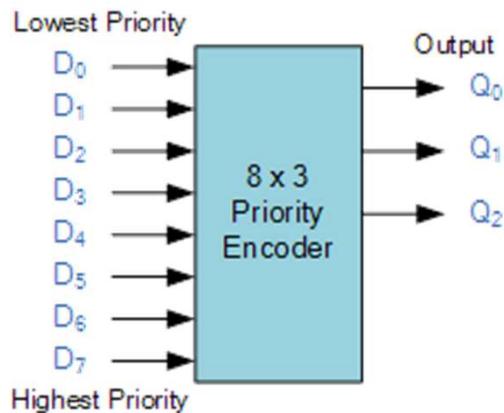
A	B	x
0	0	1
0	1	0
1	0	0
1	1	1

Circuitos MSI

- Multiplexador/demultiplexador

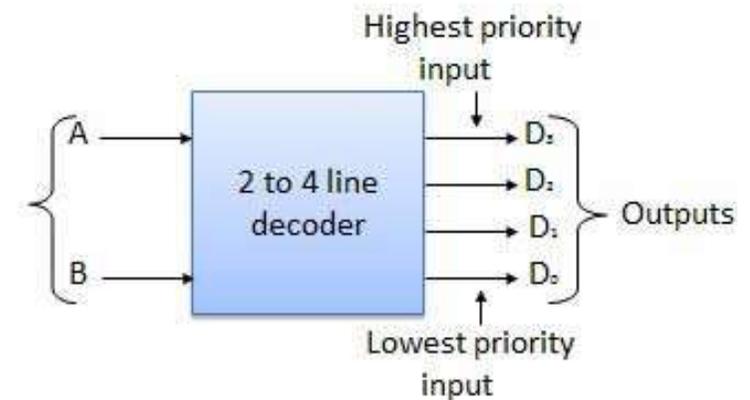


- Encoder/decorder



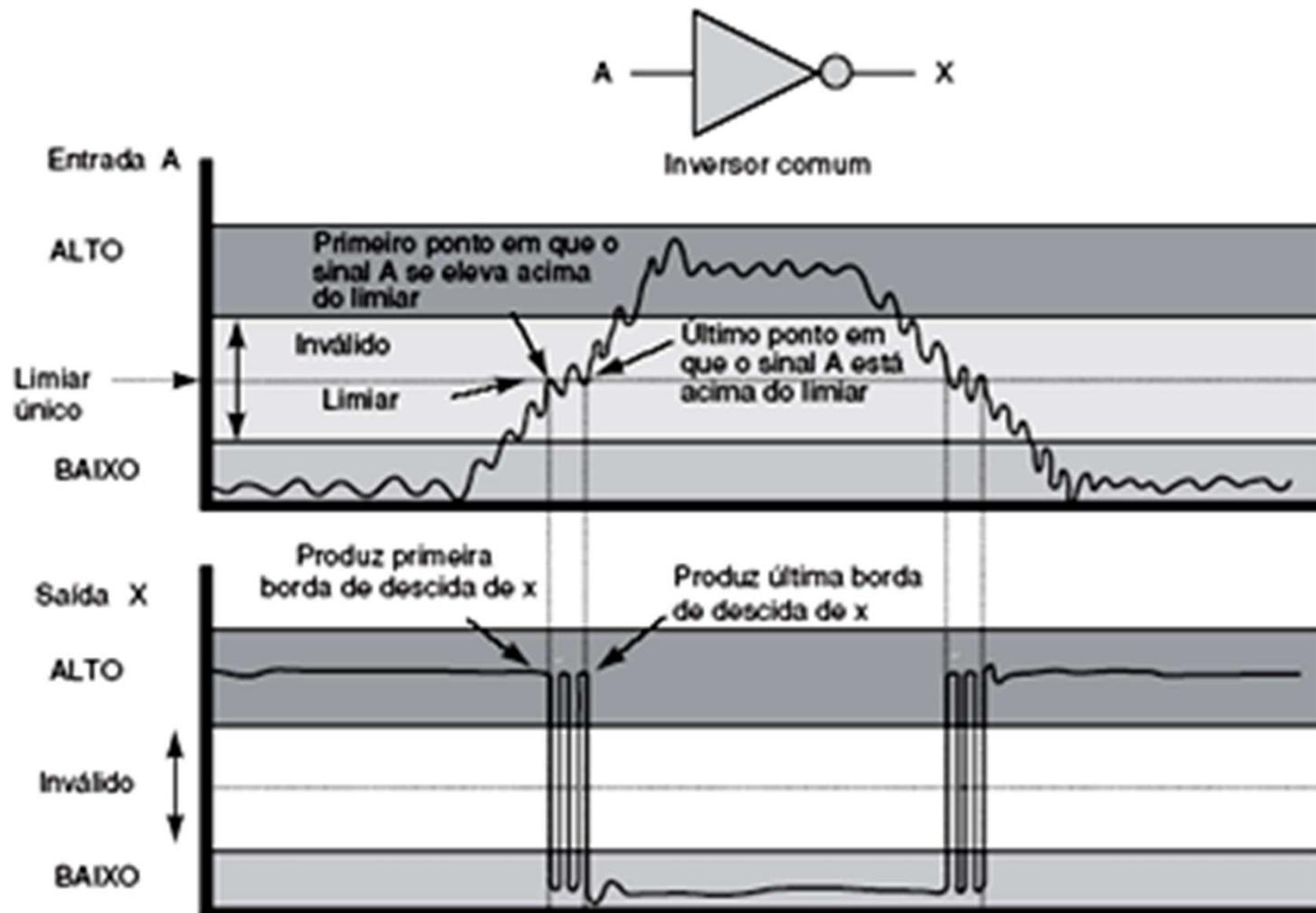
Inputs								Outputs		
D ₇	D ₆	D ₅	D ₄	D ₃	D ₂	D ₁	D ₀	Q ₂	Q ₁	Q ₀
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	x	0	0	1
0	0	0	0	0	1	x	x	0	1	0
0	0	0	0	1	x	x	x	0	1	1
0	0	0	1	x	x	x	x	1	0	0
0	0	1	x	x	x	x	x	1	0	1
0	1	x	x	x	x	x	x	1	1	0
1	x	x	x	x	x	x	x	1	1	1

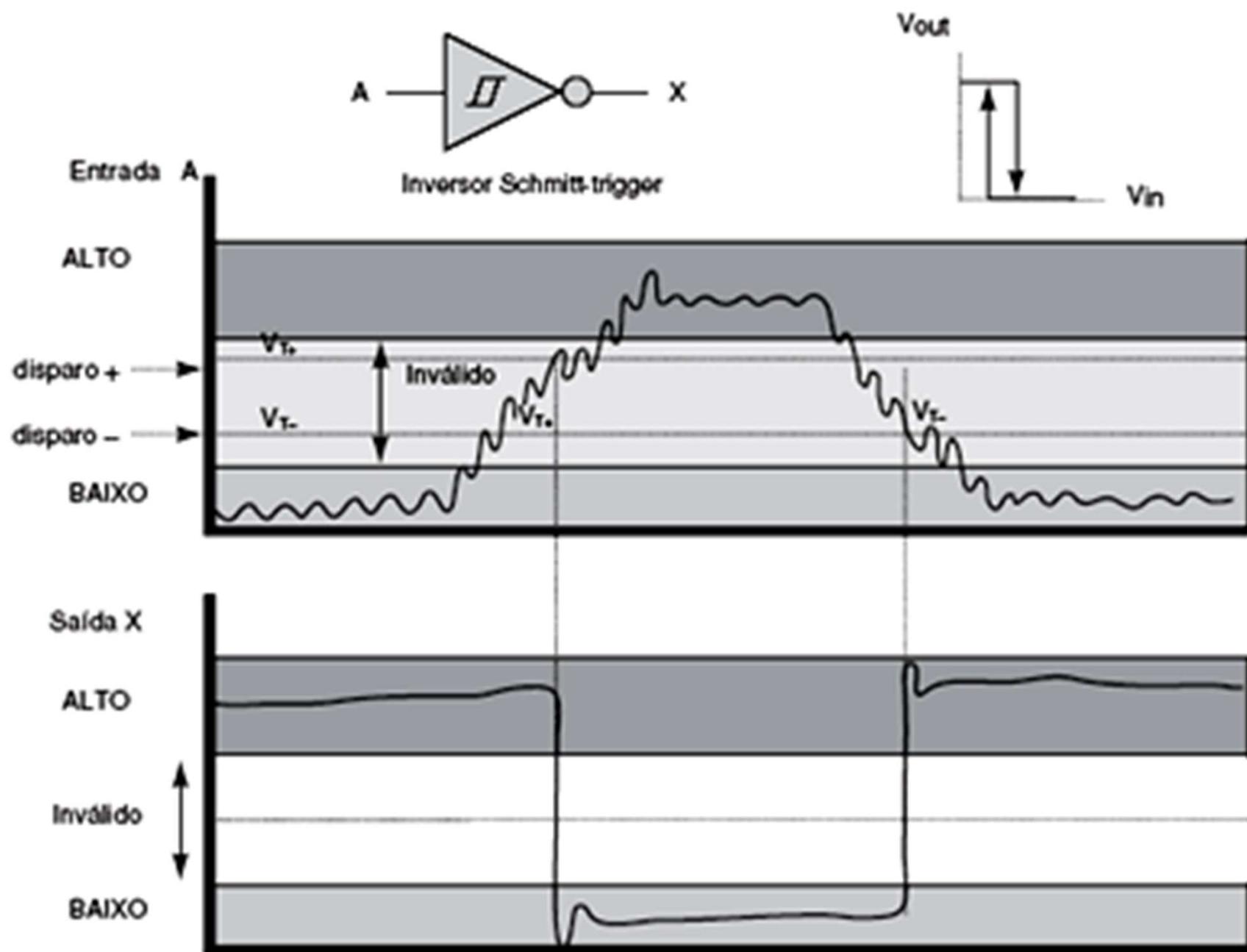
X = dont care



Dispositivos Schmitt-trigger

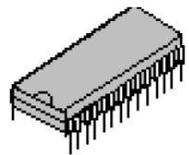
- Entradas com tempo de transição relativamente lentas
- Usado para converter sinais com transições lentas em sinais com transições rápidas que podem acionar entradas comuns de CIs





Características básicas de CI's digitais

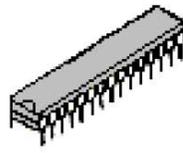
- Encapsulamento



DIP Dual
Inline
Package



SH-DIP
Shrink DIP



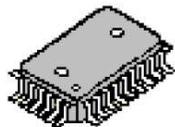
SK-DIP,
SL-DIP
Skinny DIP,
Slim DIP



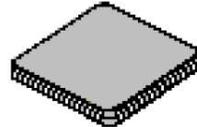
SIP Single
Inline
Package



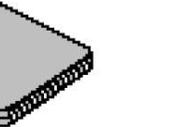
SOIC, SOP
Small Outline
Package



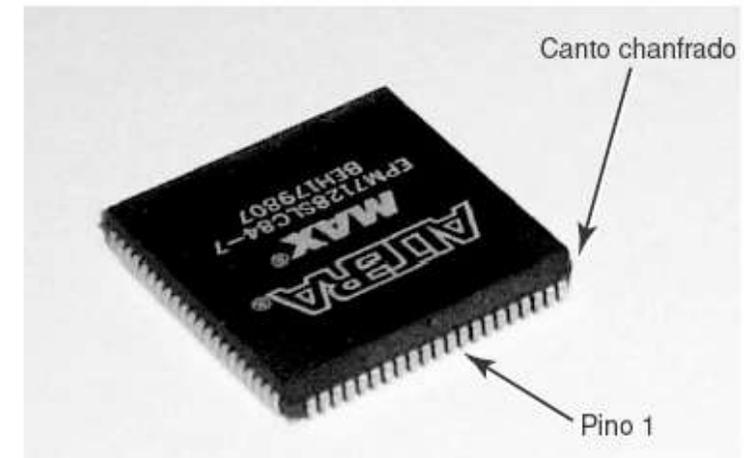
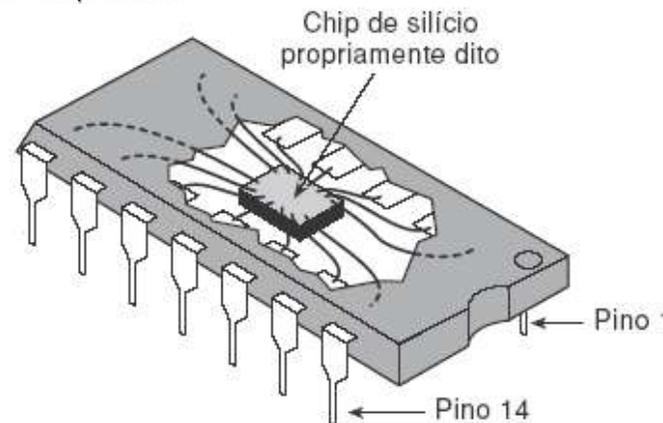
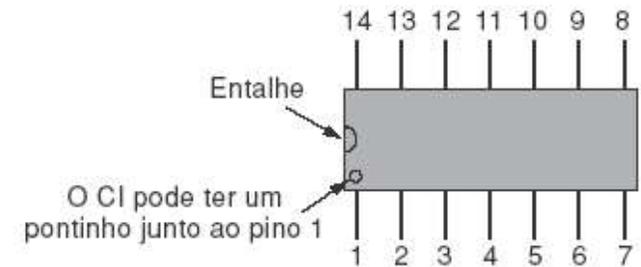
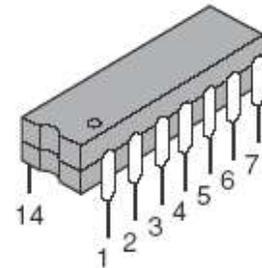
QFP Quad
Flat Package



LCC
Leadless
Chip Carrier



PLCC Plastic
Leadless
Chip Carrier



- Alimentação elétrica (V_{cc} -GND / V_{dd} - V_{ss})

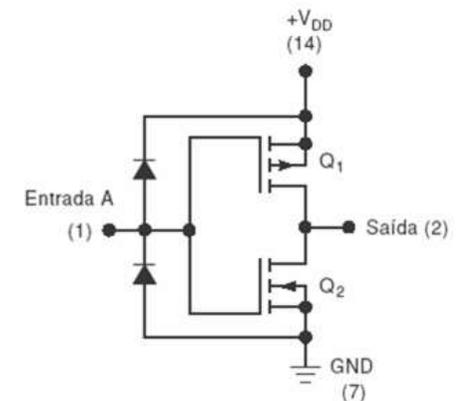
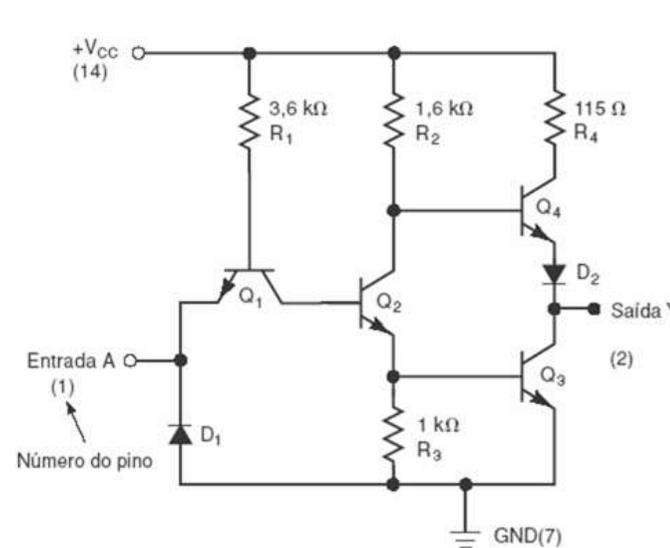


- Classificação CI's digitais

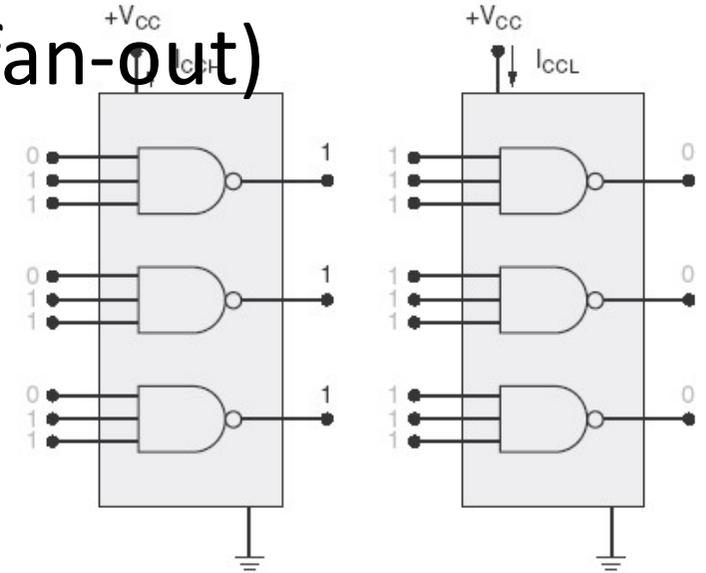
- **SSI** < 12 portas por CI
- 12 < **MSI** < 99 portas por CI
- 100 < **LSI** < 9.999 portas por CI
- 10.000 < **VLSI** < 99.999 portas por CI
- 100.000 < **ULSI** < 999.999 portas por CI
- 1.000.000 < **GSI**

- CIs bipolares e unipolares

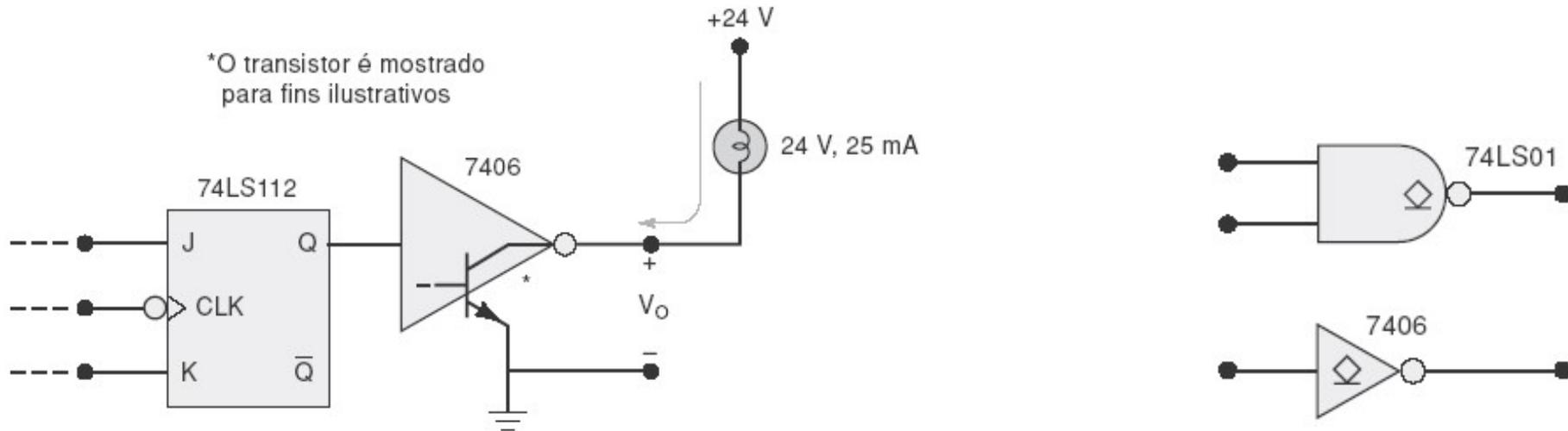
- TTL e CMOS



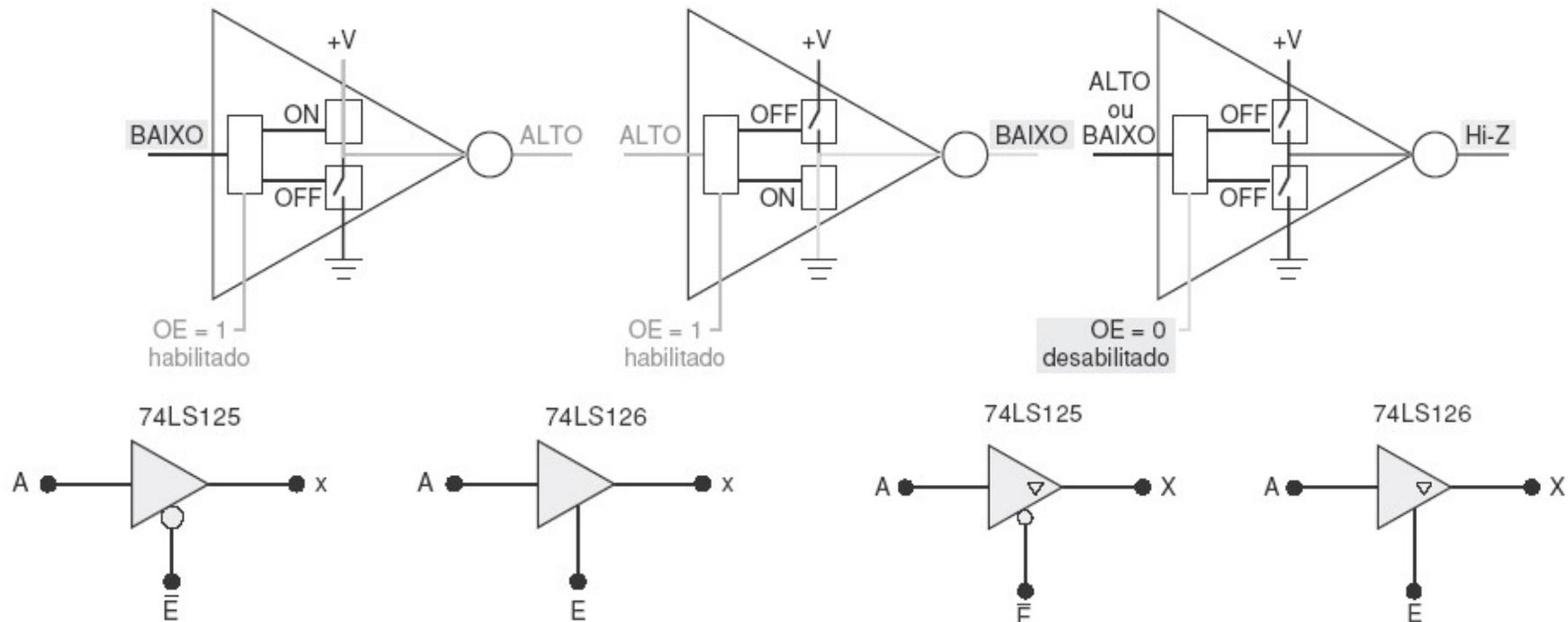
- Fator de acionamento de carga (fan-out)
- Atrasos de propagação
 - t_{PLH} e t_{PHL}
- Potência de CI
 - I_{CCL} e I_{CCH}
 - $P = V_{CC} I_{CC}$
- Parâmetros de corrente e tensão (datasheets)
 - $V_{IH(MIN)}$
 - $V_{IL(MAX)}$
 - $V_{OH(MIN)}$
 - $V_{OL(MAX)}$
 - I_{IH}
 - I_{IL}
 - I_{OH}
 - I_{OL}



- Saídas coletor/dreno aberto

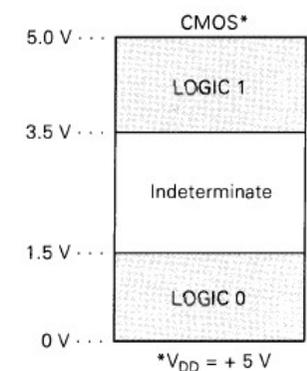
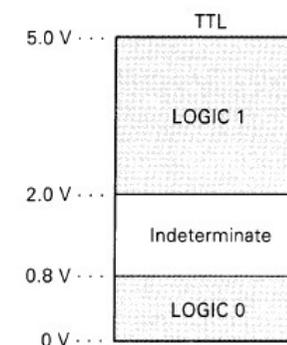


- Saídas three-state



- Família TTL
 - Identificação das famílias
 - Diferenças nas características entre as famílias
 - Dissipação de potência
 - Velocidade de chaveamento

TTL Series	Prefix	Example IC
Standard TTL	74	7404 (hex INVERTER)
Schottky TTL	74S	74S04 (hex INVERTER)
Low-power Schottky TTL	74LS	74LS04 (hex INVERTER)
Advanced Schottky TTL	74AS	74AS04 (hex INVERTER)
Advanced low-power Schottky TTL	74ALS	74ALS04 (hex INVERTER)



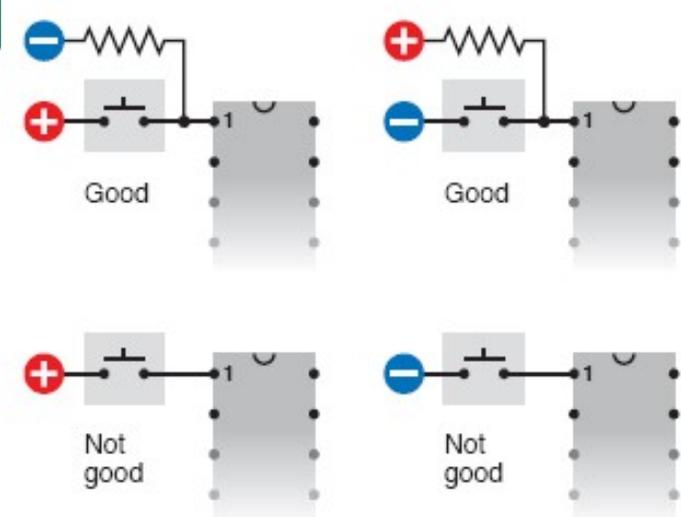
• Família CMOS

- Pinagem geralmente diferente da TTL
- Nem sempre **eletricamente compatível**
- **Impedância entrada alta**
- $V_{DD} \times V_{CC}$ (3V – 18V)

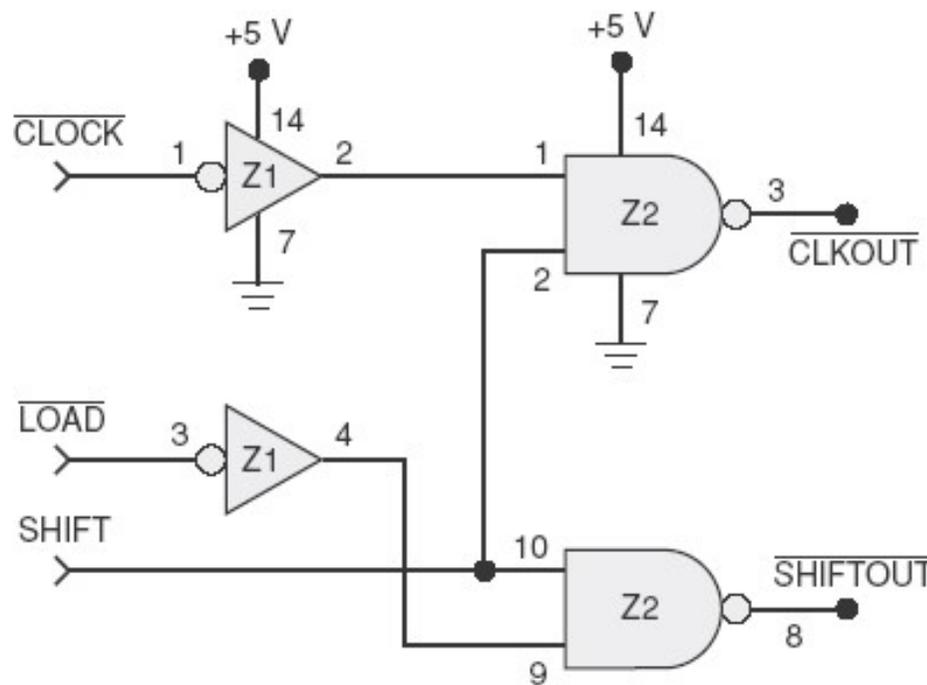
CMOS Series	Prefix	Example IC
Metal-gate CMOS	40	4001 (quad NOR gates)
Metal-gate, pin-compatible with TTL	74C	74C02 (quad NOR gates)
Silicon-gate, pin-compatible with TTL, high-speed	74HC	74HC02 (quad NOR gates)
Silicon-gate, high-speed, pin-compatible and electrically compatible with TTL	74HCT	74HCT02 (quad NOR gates)
Advanced-performance CMOS, not pin-compatible or electrically compatible with TTL	74AC	74AC02 (quad NOR)
Advanced-performance CMOS, not pin-compatible with TTL, but electrically compatible with TTL	74ACT	74ACT02 (quad NOR)



- Entradas flutuantes de CIs
 - TTL: nível lógico 0
 - CMOS: super-aquecimento



- Diagramas de conexão de circuitos lógicos



CI	Tipo
Z1	74HC04 inversor sêxtuplo
Z2	74HC00 NAND quádruplo

- Ferramentas de captura esquemática

- **FAZER LEITURA COMPLEMENTAR:**
 - Capítulo 14 do livro:
 - “Bebop - To the boolean boogie - An unconventional guide to electronics” (3 ed.)

- **OLHAR LISTA DE CIRCUITOS FAMÍLIA 74**
 - Site da disciplina



PROVA

- CAI NA PROVA:
 - 1.1 a 1.5 (se possível, 1.6)
 - 2.1 a 2.3 (se possível, 2.4, 2.7, 2.8 e 2.9)
 - 3.1 a 3.12
 - 4.1 a 4.6 E 4.8

