



Universidade Federal de Uberlândia
Engenharia Eletrônica e de Telecomunicações

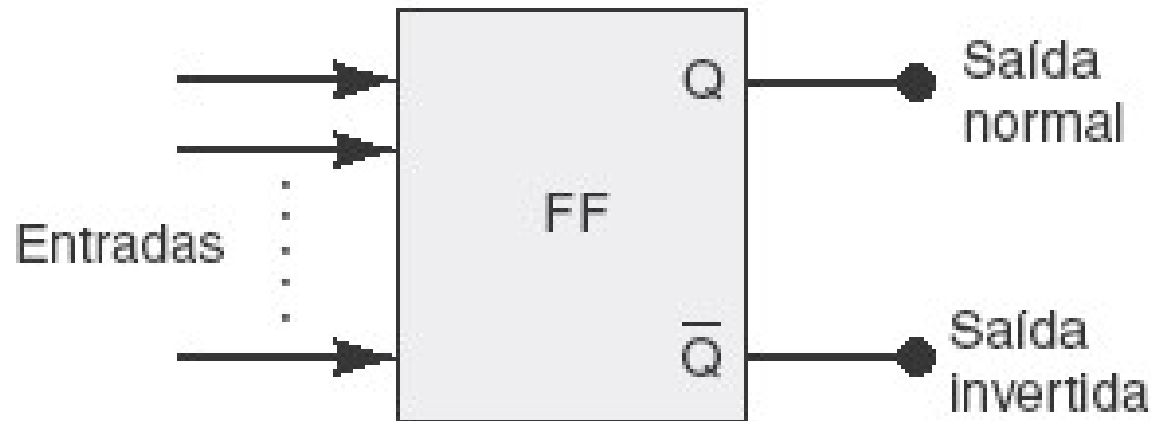
– Capítulo 3 –

Circuitos lógicos seqüenciais: flip-flops, latches, contadores e registradores

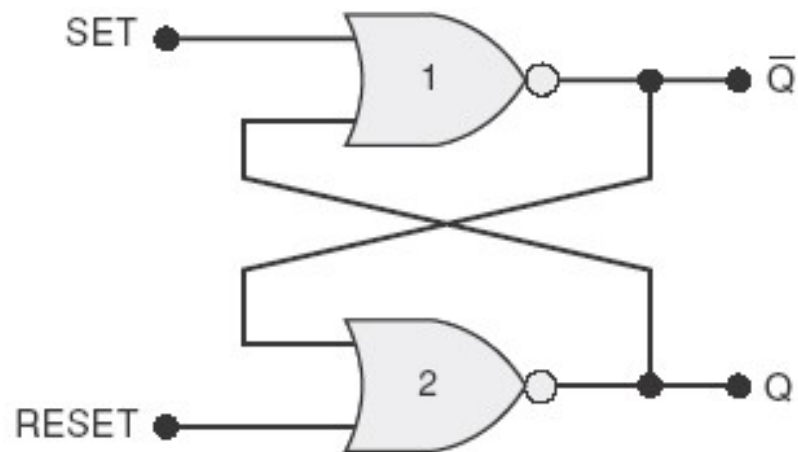
Prof. Alan Petrônio Pinheiro

Introdução

- Circuitos combinacionais x sequenciais
- Elemento básico: FLIP-FLOP (**FF**)
 - Armazena informação (reter estado)
 - Características de memória do FF

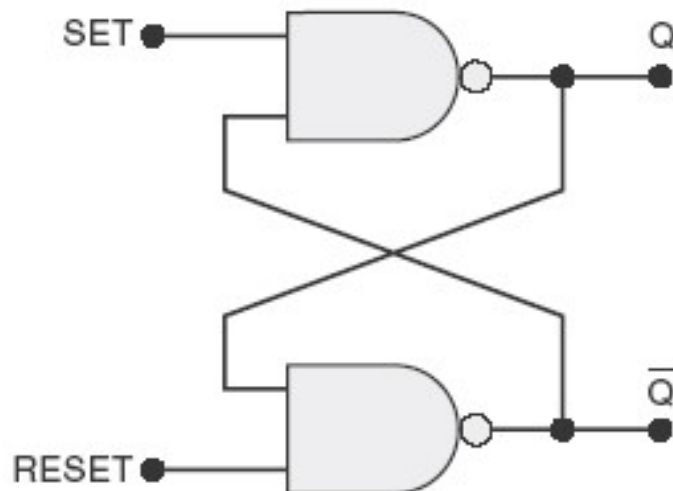
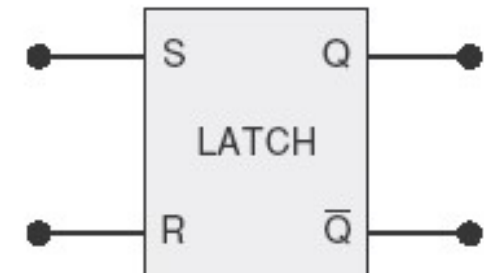


- Resumindo o LATCH NAND e NOR:



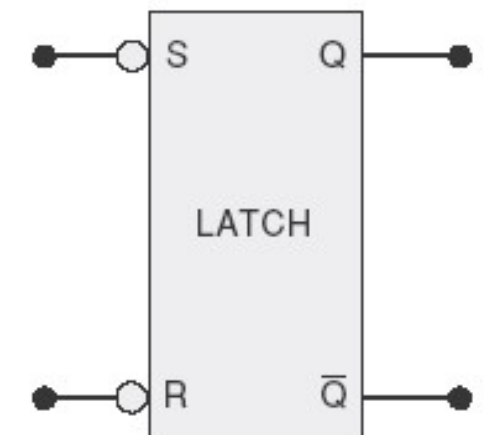
Set	Reset	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

*Produs $Q = \bar{Q} = 0$.



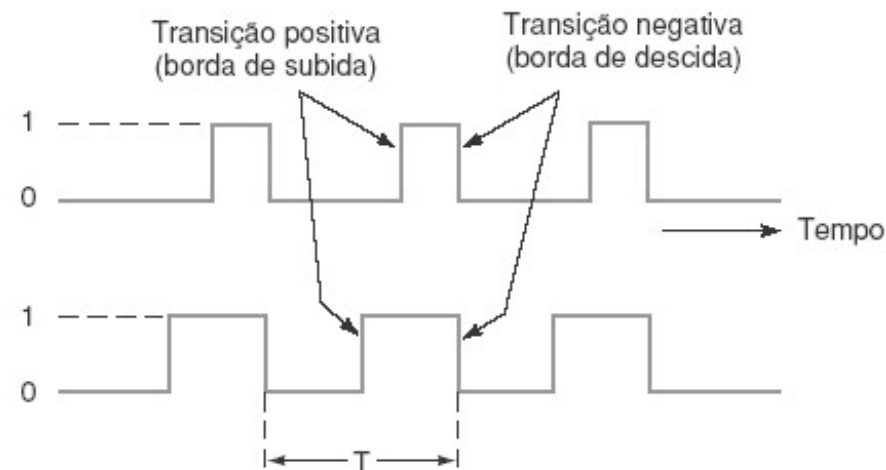
Set	Reset	Saída
1	1	Não muda
0	1	$Q = 1$
1	0	$Q = 0$
0	0	Inválida*

*Produs $Q = \bar{Q} = 1$.

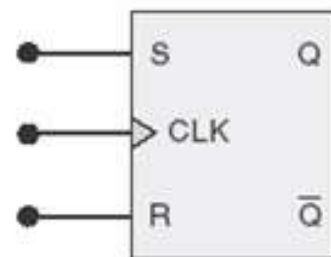


Flip-Flops e clock

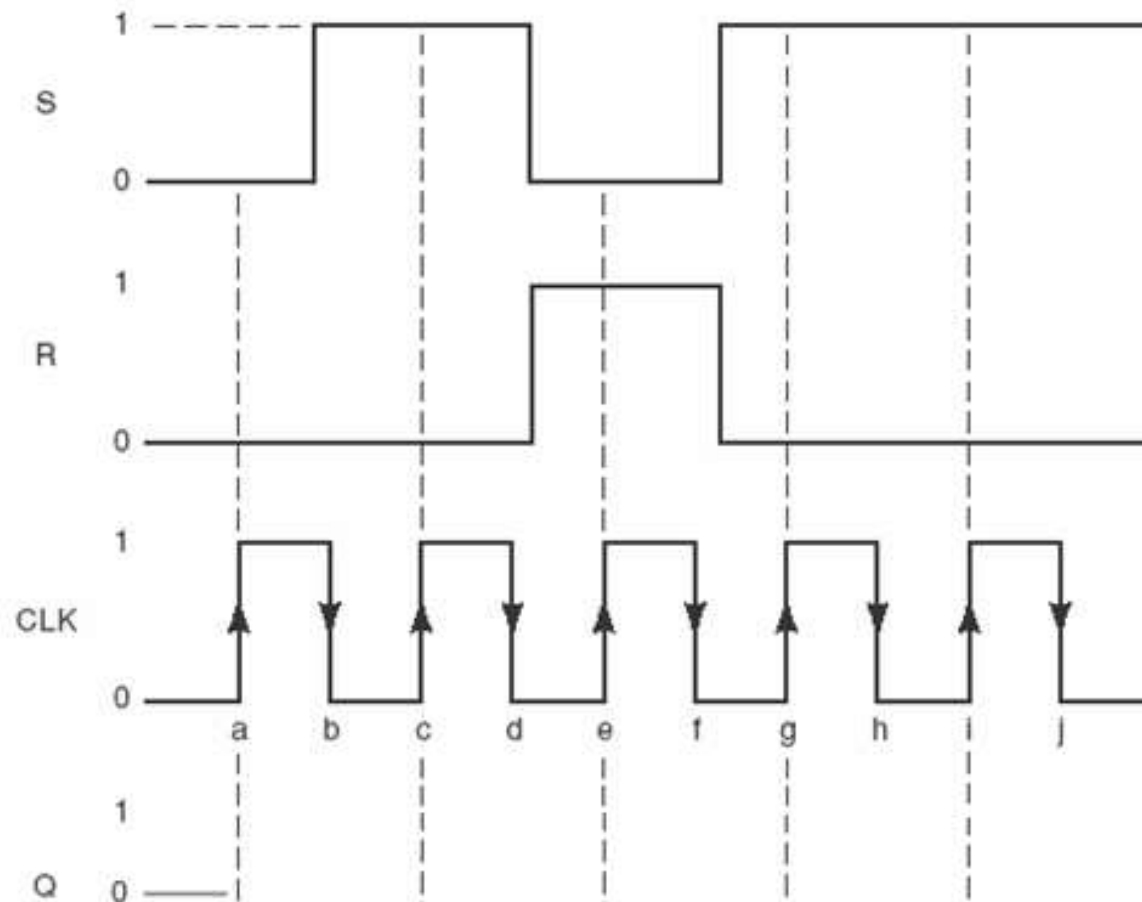
- Uso de clock para atualizar as saídas



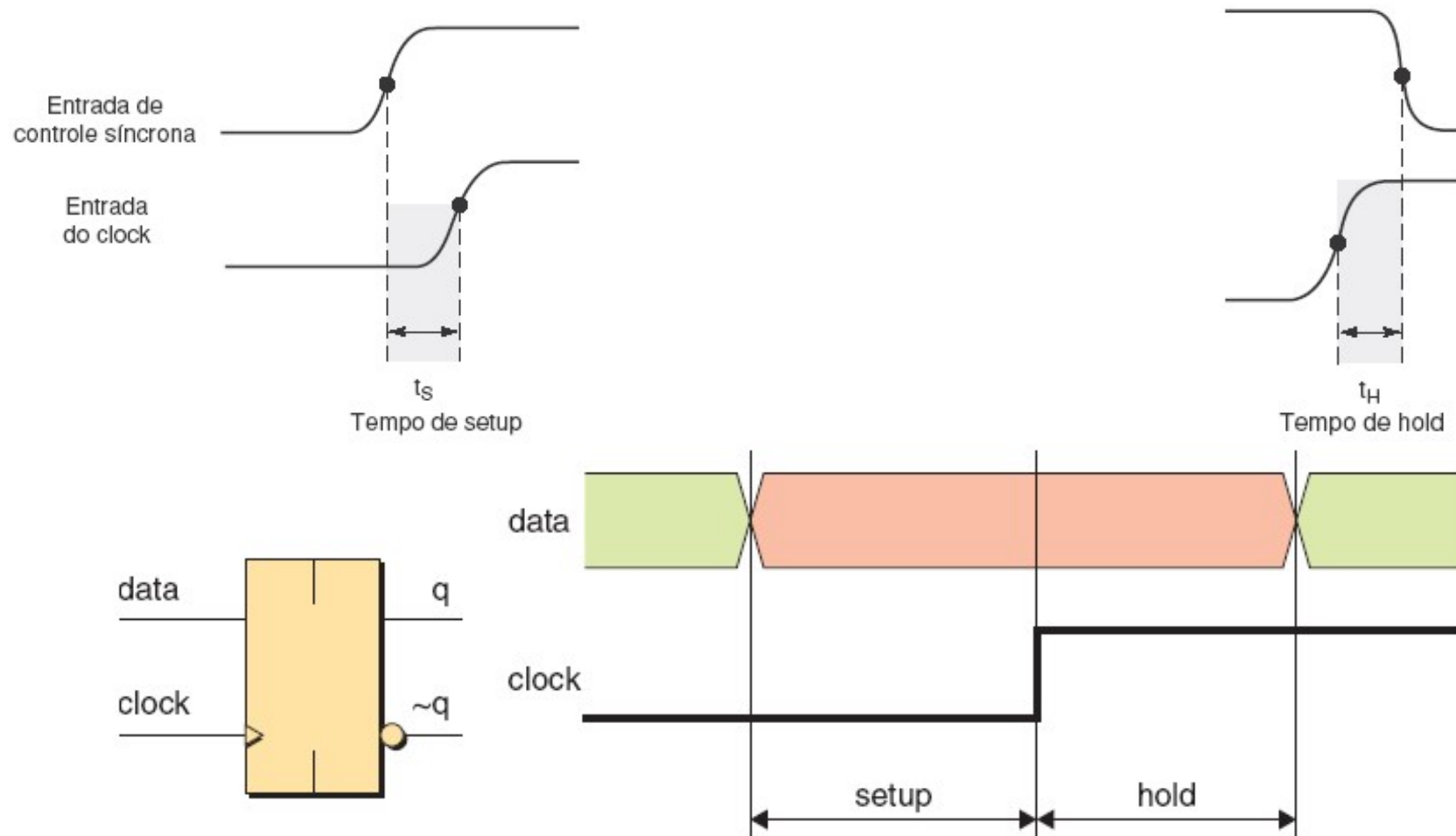
- FF S-R:



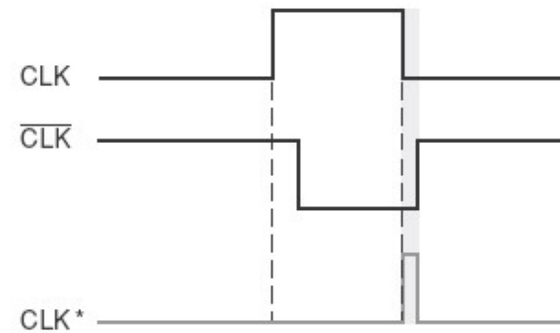
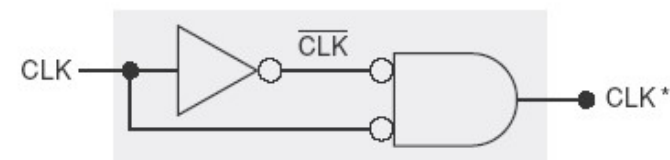
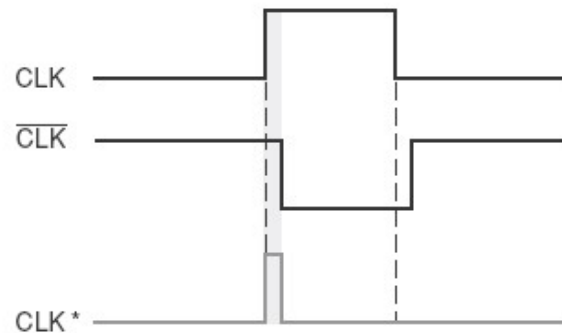
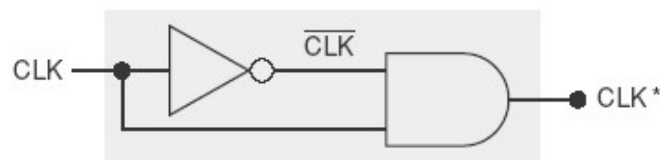
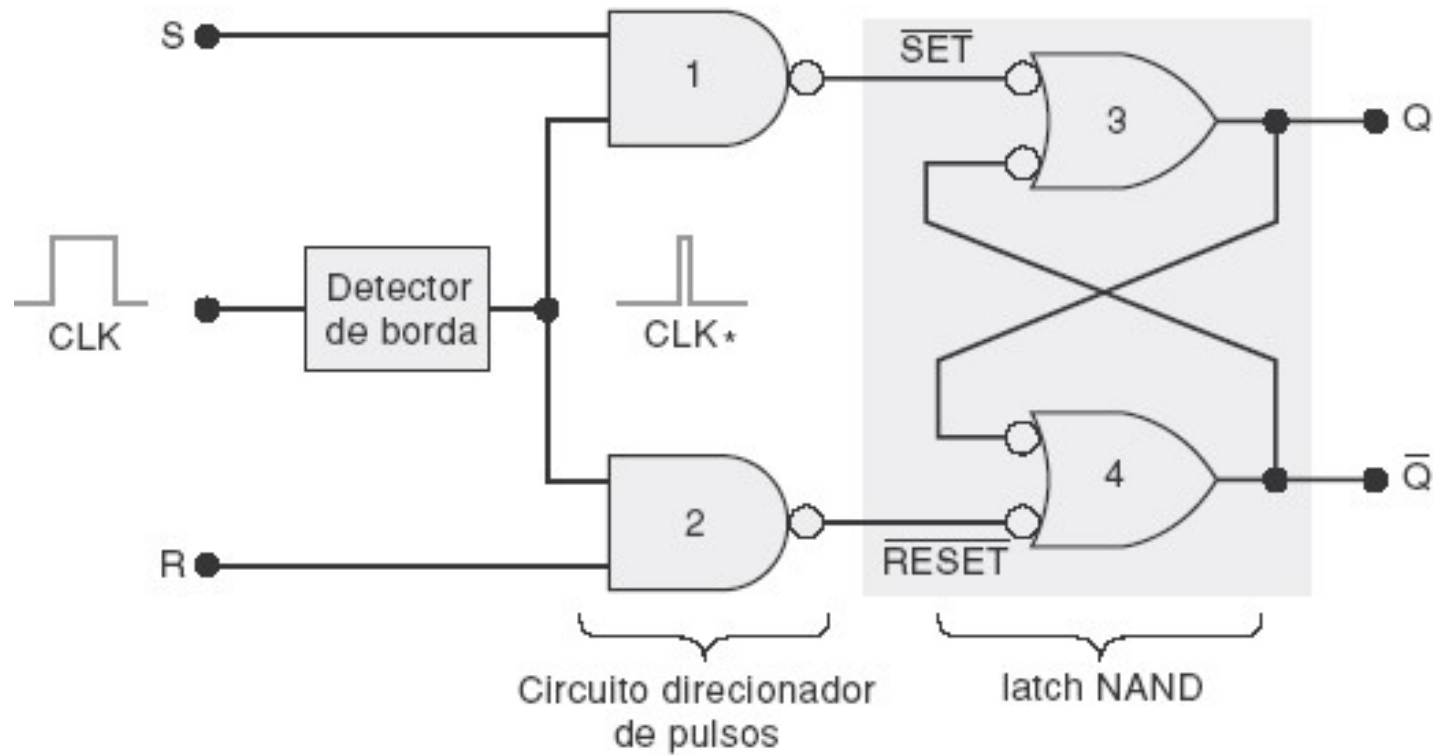
Entradas			Saída
S	R	CLK	Q
0	0	↑	Q_0 (Não muda)
1	0	↑	1
0	1	↑	0
1	1	↑	Ambíguo



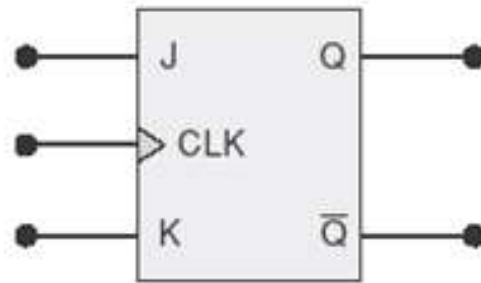
- Tempo de setup (t_s): entrada de controle deve ser mantida em nível adequado durante um tempo T_s que precede borda de subida clock (5 a 50ns)
- Tempo de hold (t_h): tempo após transição ativa do clock onde entrada deve ser mantida constante (0 a 10ns)



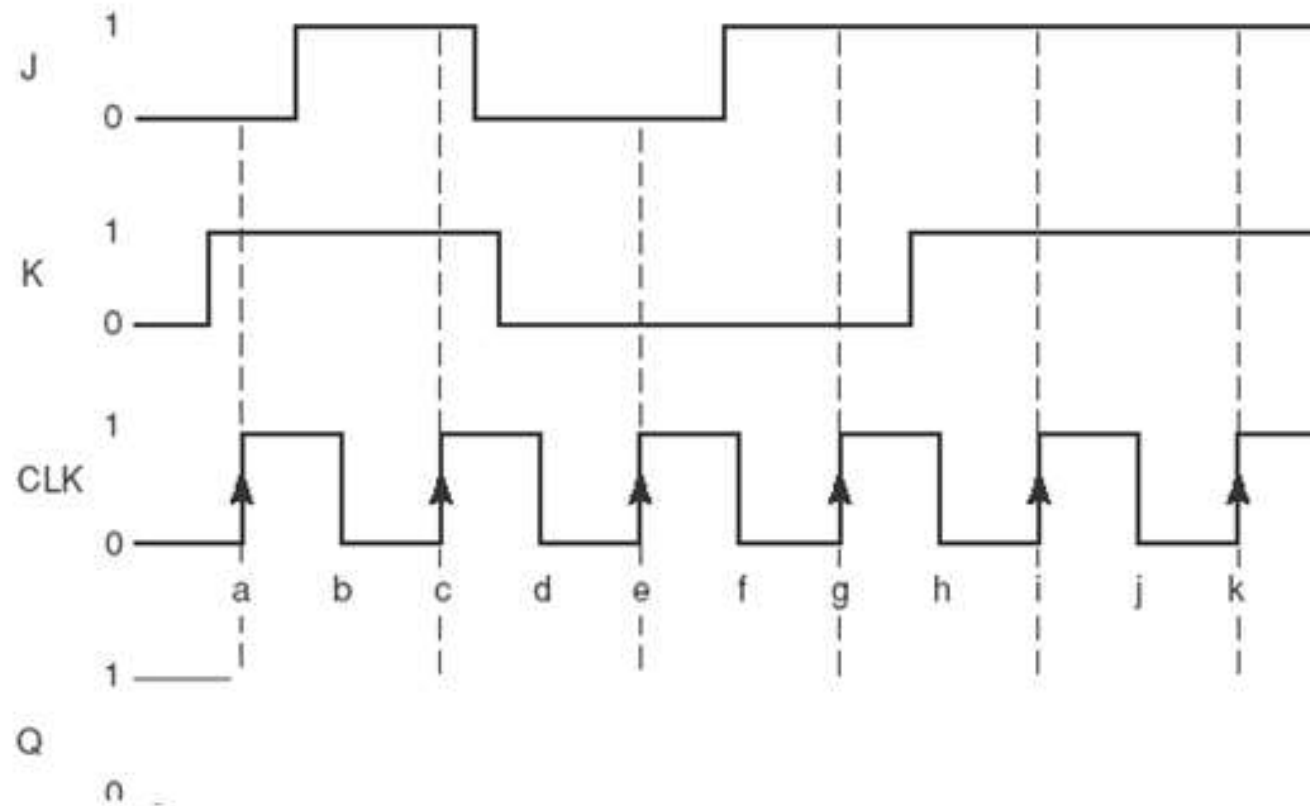
- Circuito interno do FF S-R disparado por borda



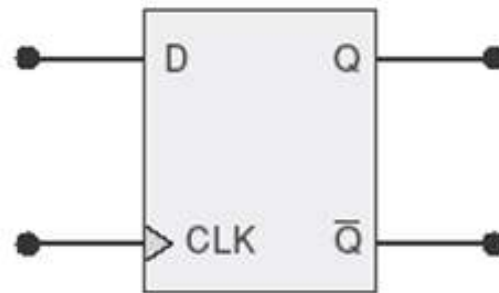
FF J-K



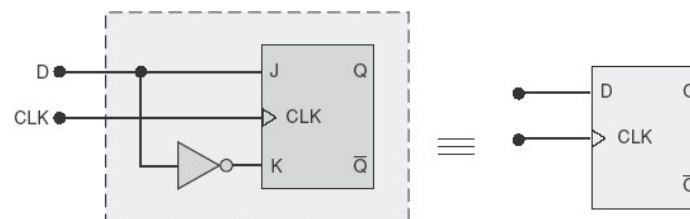
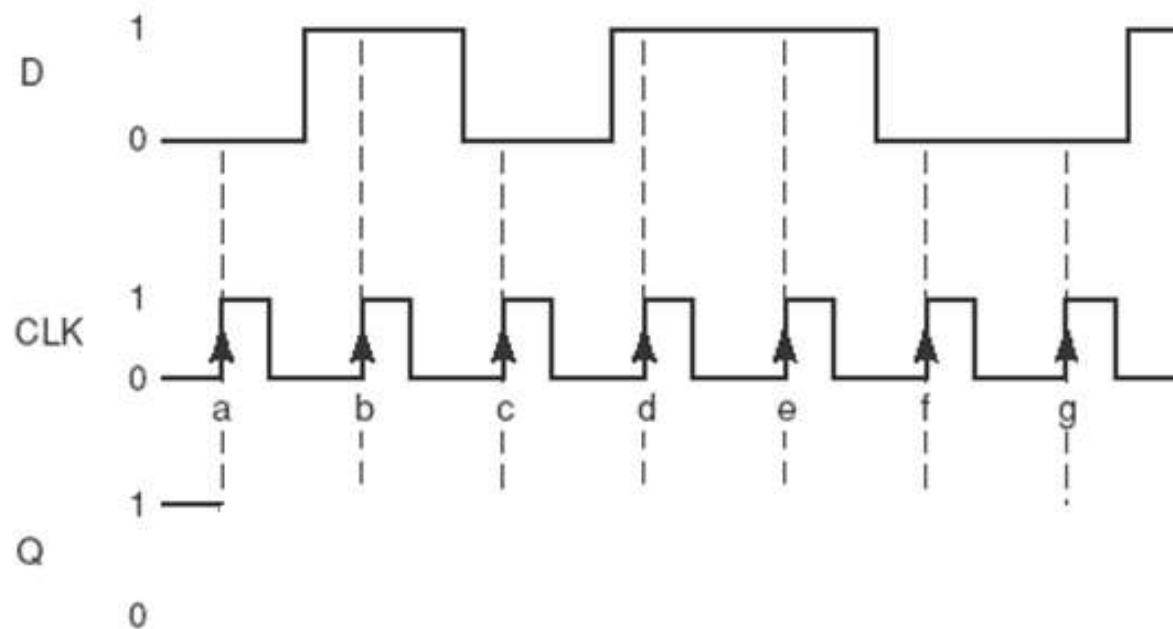
J	K	CLK	Q
0	0	↑	Q_0 (não muda)
1	0	↑	1
0	1	↑	0
1	1	↑	$\overline{Q_0}$ (comuta)



FF D com clock

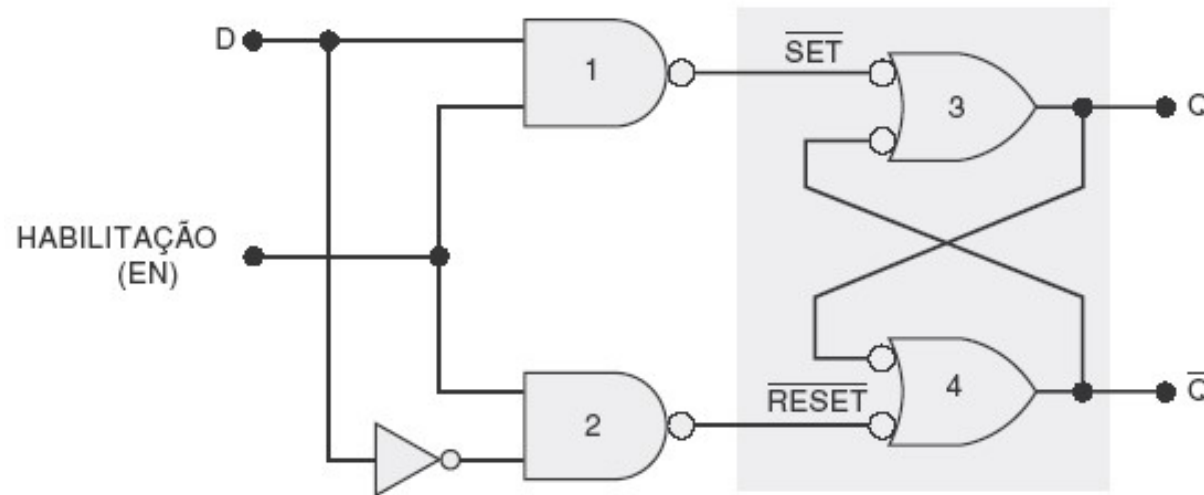


D	CLK	Q
0	↑	0
1	↑	1

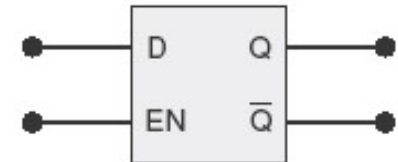


LATCH D (transparente)

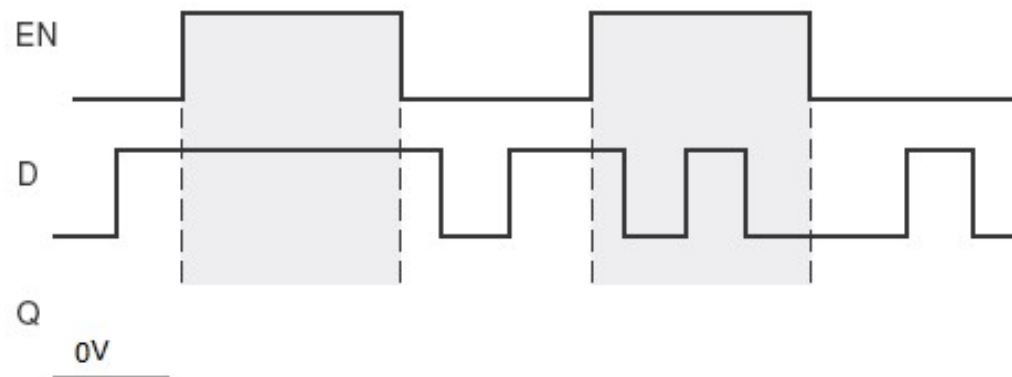
- Não opera por borda



Entradas		Saída
EN	D	Q
0	X	Q_0 (não muda)
1	0	0
1	1	1

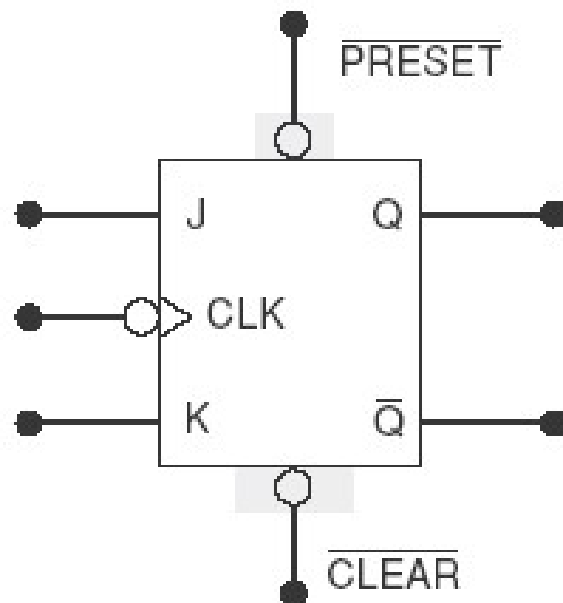


- Exemplo:



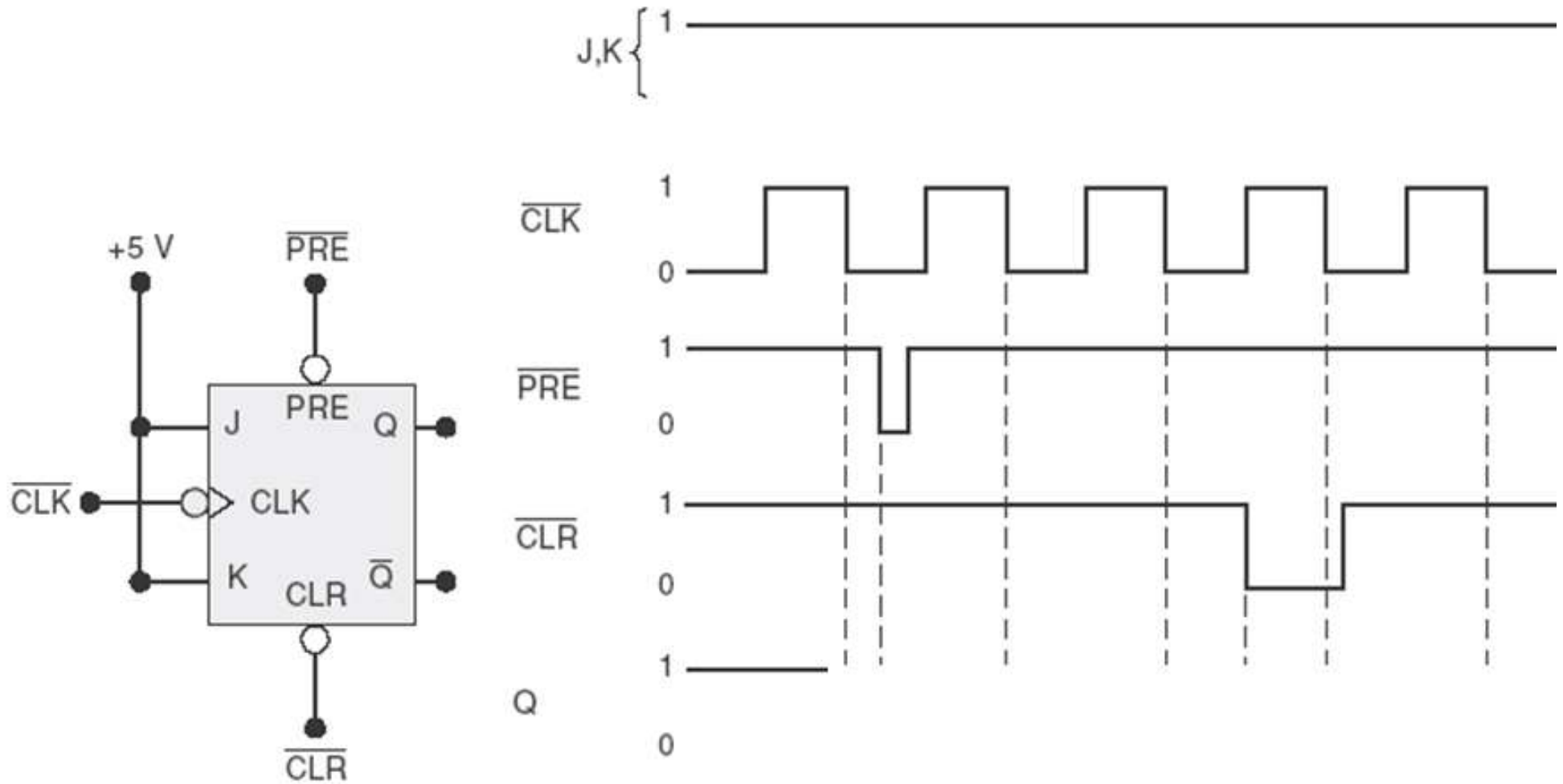
Entradas assíncronas

- Entradas de controle ou síncronas: S, R, J, K e D
- Entradas assíncronas/sobreposição
 - PRESET (PRE/SET) e CLEAR (CLR/RESET)



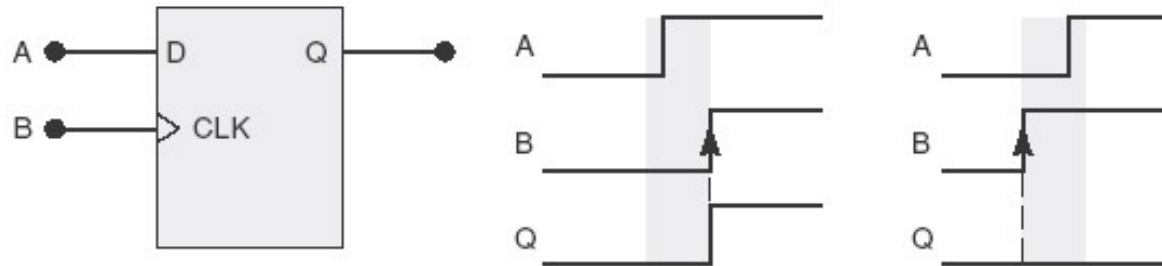
J	K	CLK	$\overline{\text{PRE}}$	$\overline{\text{CLR}}$	Q
0	0	↓	1	1	Q (não muda)
0	1	↓	1	1	0 (reset síncrono)
1	0	↓	1	1	1 (set síncrono)
1	1	↓	1	1	$\bar{Q}$ (comutação síncrona)
x	x	x	1	1	Q (não muda)
x	x	x	1	0	0 (clear assíncrono)
x	x	x	0	1	1 (preset assíncrono)
x	x	x	0	0	(Inválido)

- Exemplo:



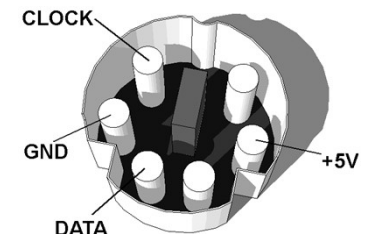
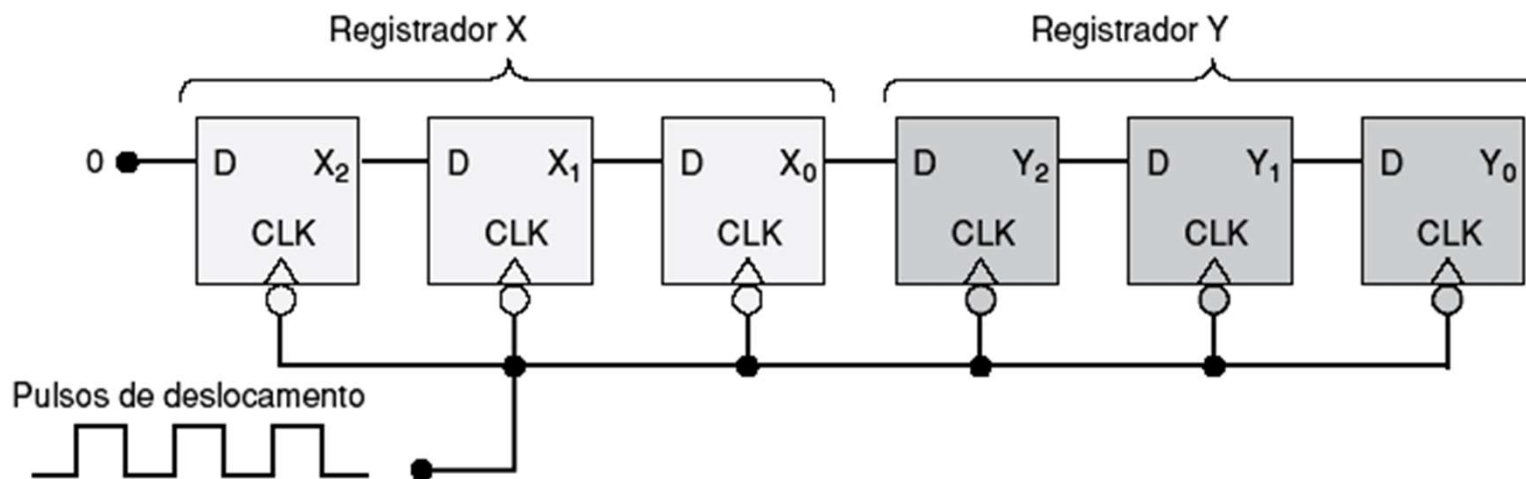
Algumas aplicações

- Detecção de uma seqüência de entrada

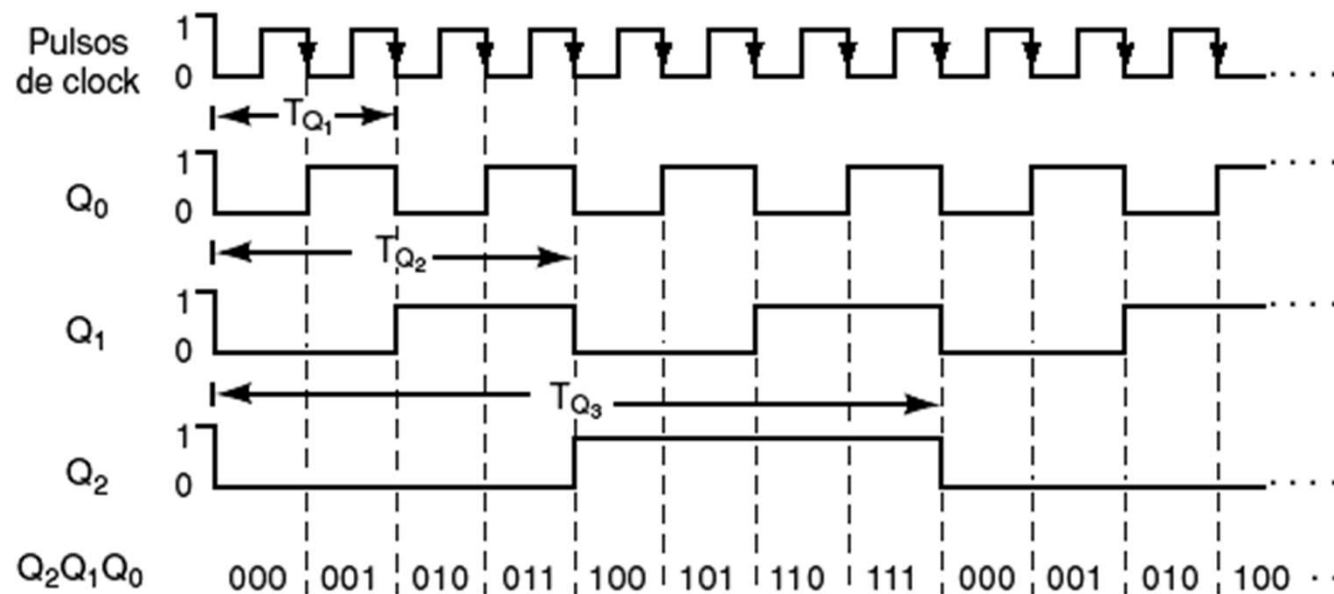
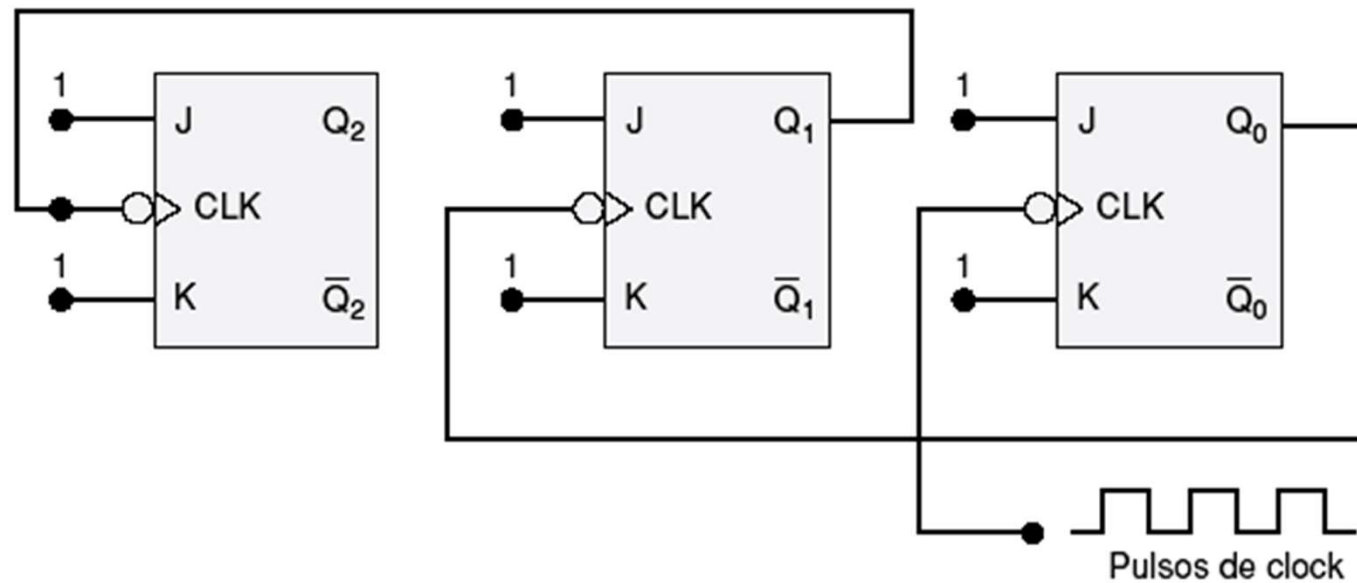


- Transferência serial entre **registradores**

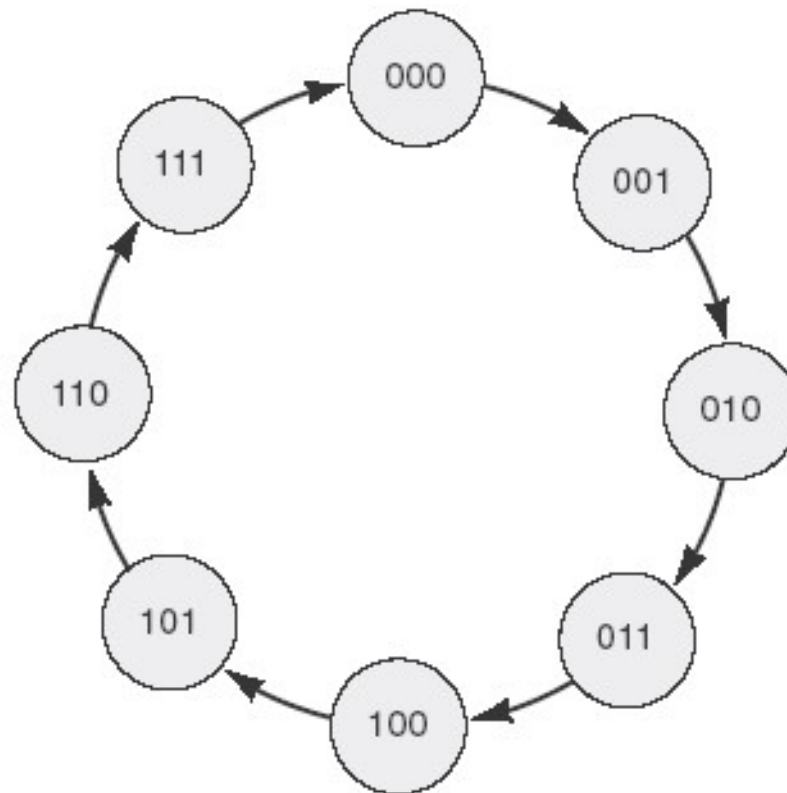
- Exemplo: considerar $X = 101$



- Divisão de frequência e contagem:



- Diagrama de transição de estados
 - Descrever, analisar e projetar contadores e circuitos seqüenciais



Circuitos geradores de clock

- t_H e t_L não podem ser iguais
- Para conseguir ciclo de trabalho próx. 50%, faz-se $R_B \gg R_A$
- Para permitir ciclo trabalho < 50%, o capacitor carrega-se apenas por R_A e descarrega apenas por R_B

$$R_A \geq 1 \text{ k}\Omega$$

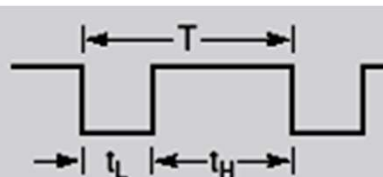
$$R_A + R_B < 6,6 \text{ M}\Omega$$

$$C \geq 500 \text{ pF}$$

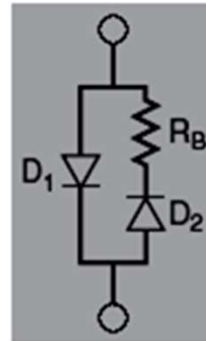
$$T = t_L + t_H$$

$$F = \frac{1}{T}$$

$$\text{Ciclo de trabalho} = \frac{t_H}{T} \times 100\%$$



7 Descarga
0 = Aberto
1 = Fechado

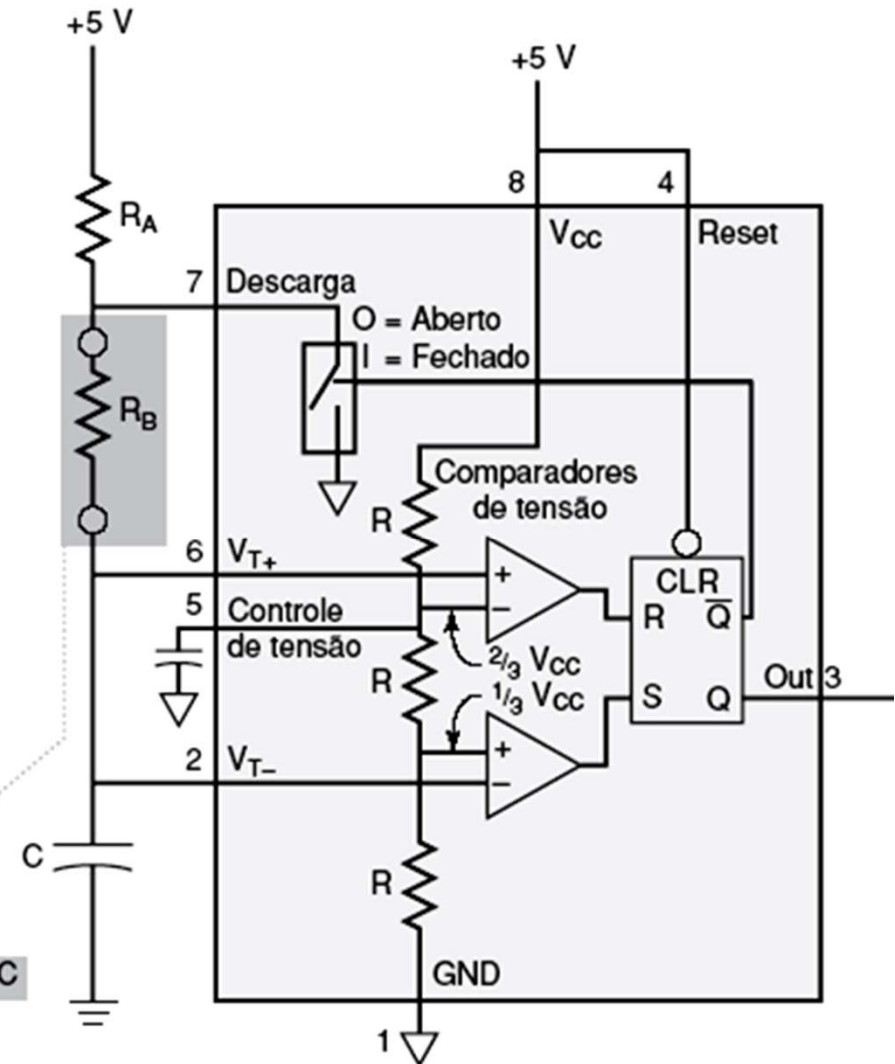


$$t_L = 0,75 R_B C$$

$$t_H = 0,75 R_A C$$

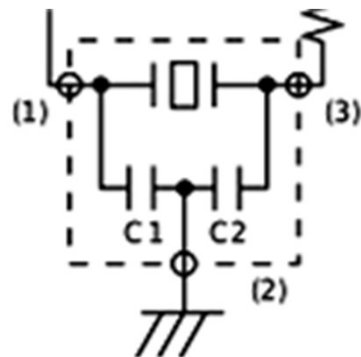
$$t_L = 0,693 R_B C$$

$$t_H = 0,693 (R_A + R_B) C$$

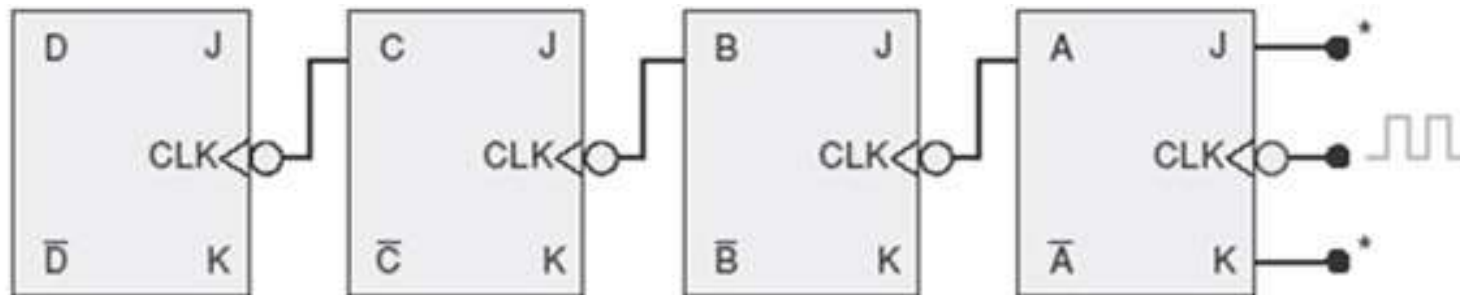


Cristal de QUARTZO

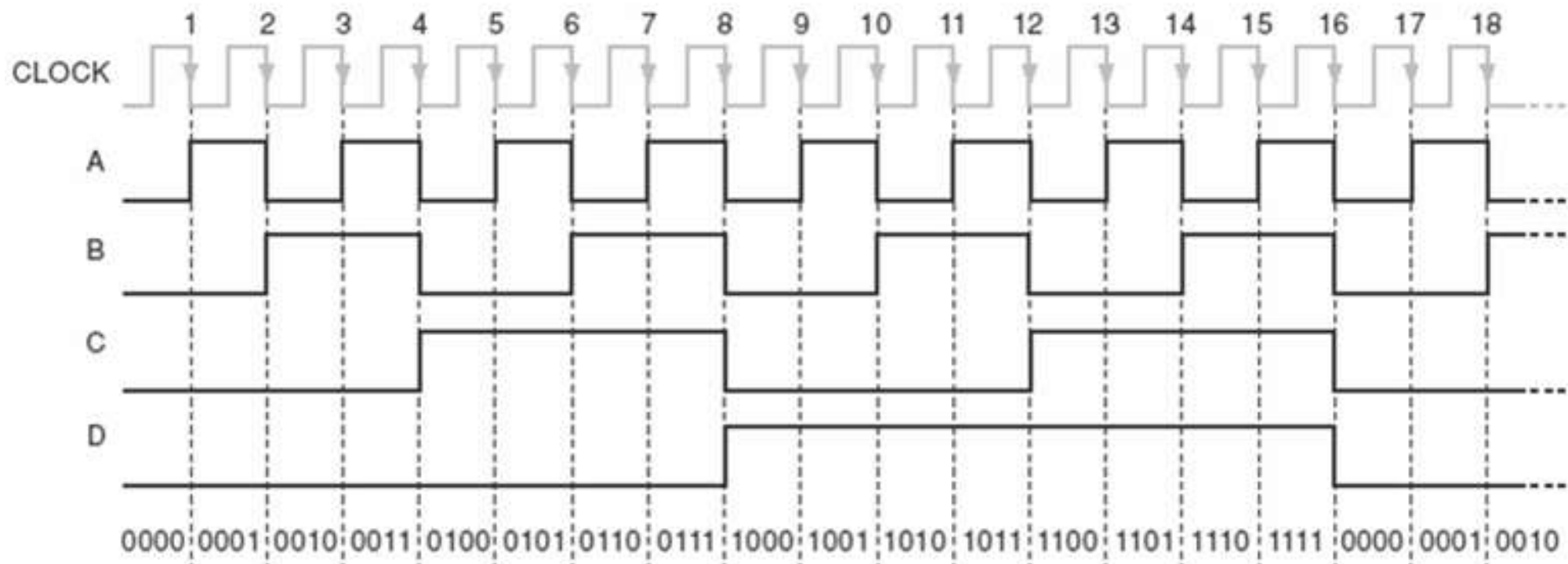
- Frequências mais precisas (temperatura, envelhecimento, etc)
- 1-80 MHz



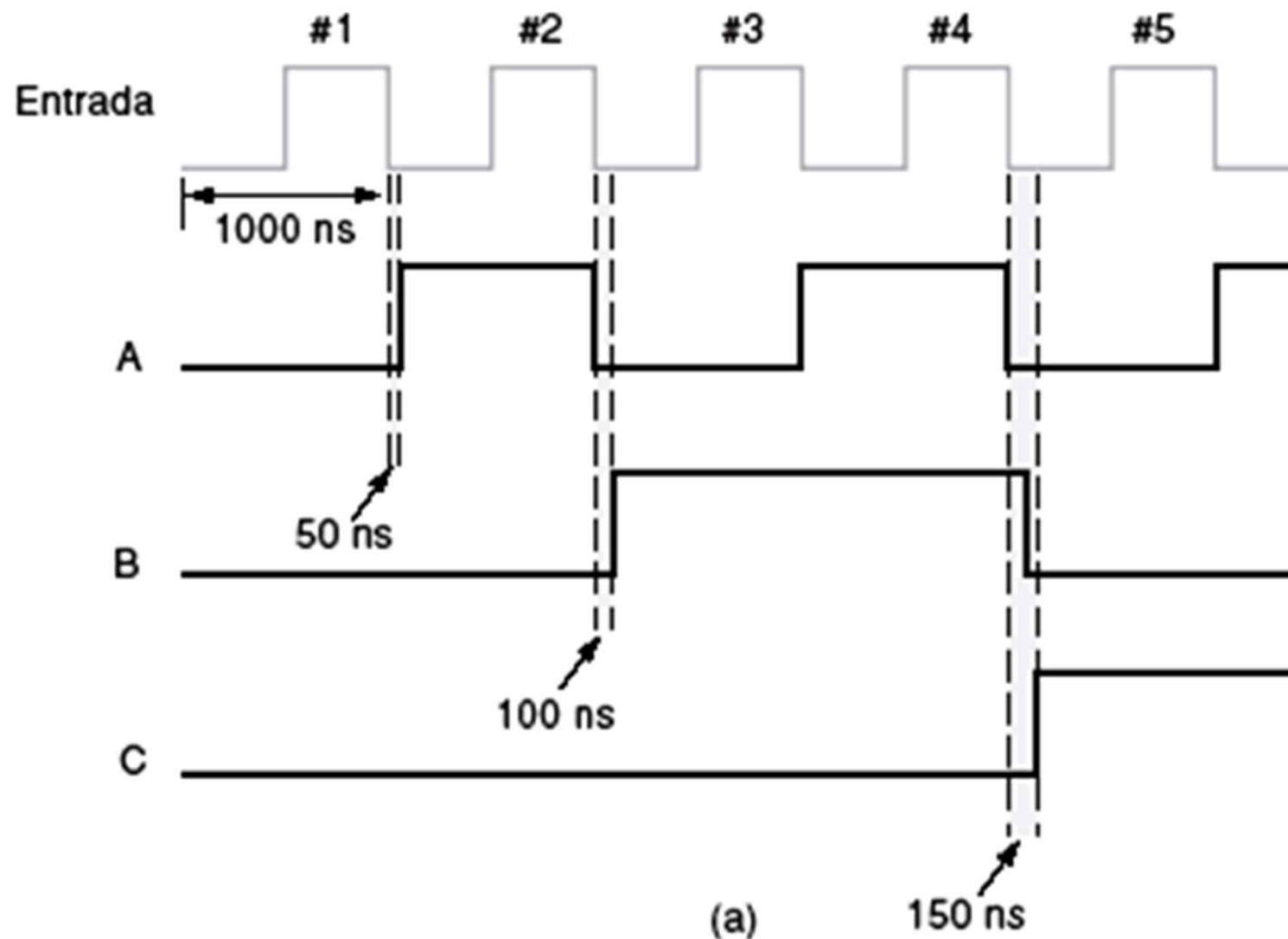
Contadores assíncronos (ondulantes)



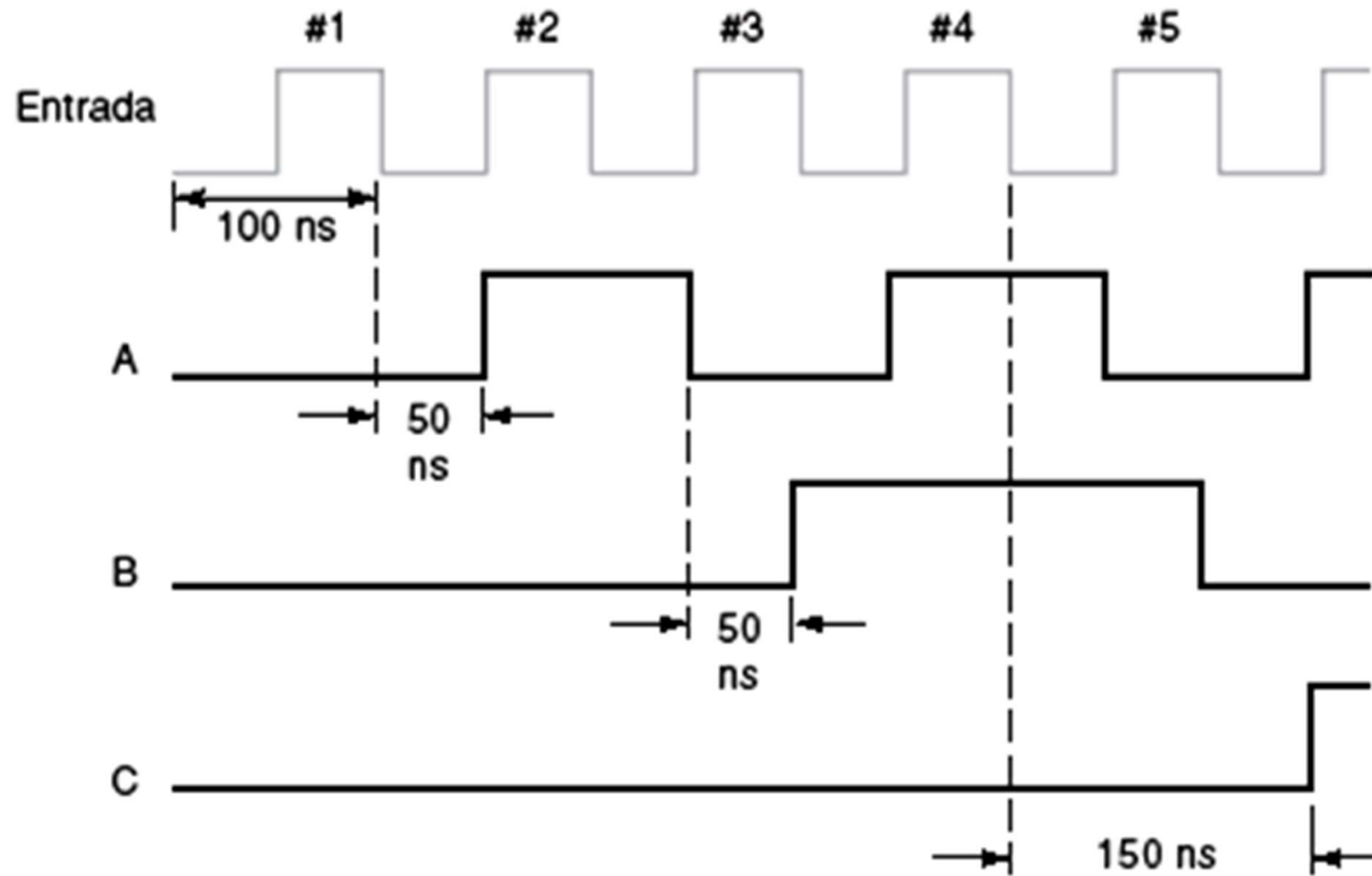
*Supõe-se que todas as entradas J e K sejam 1.



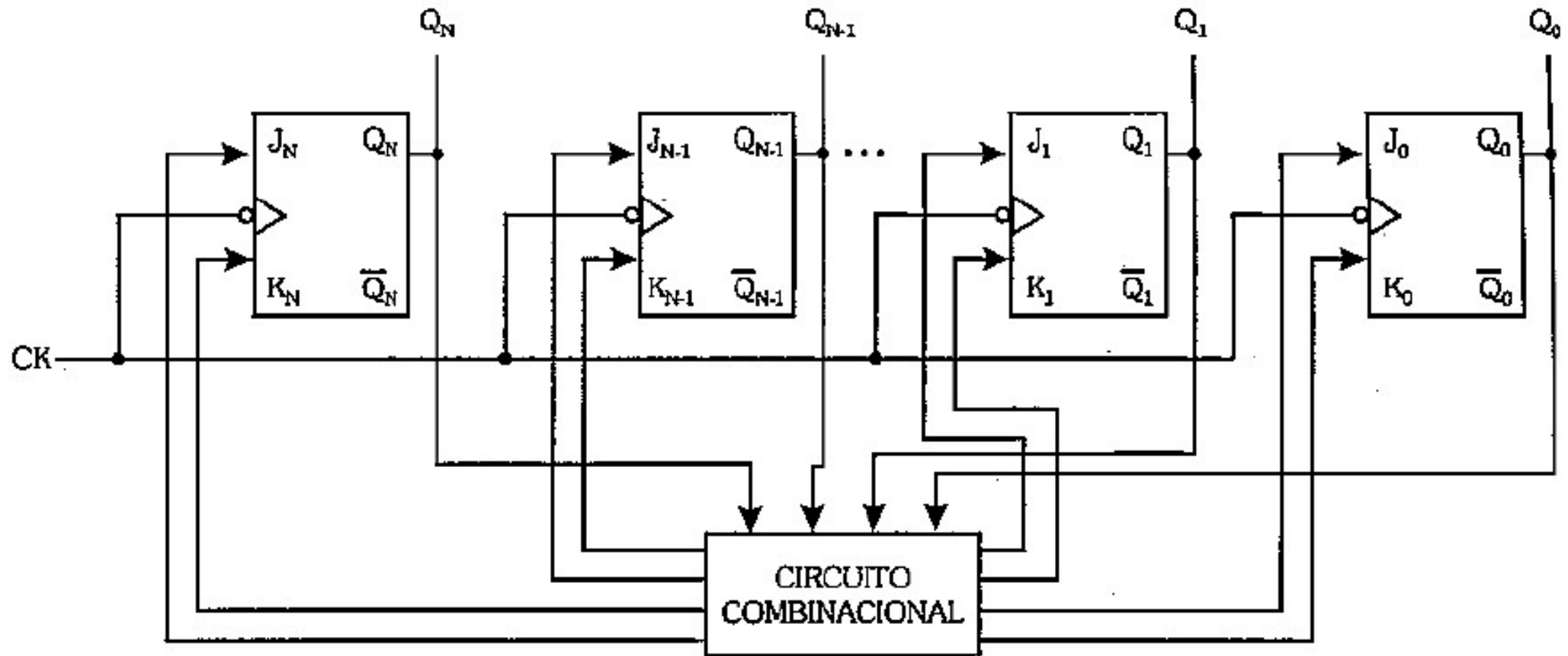
- Atraso de propagação contadores assíncronos



- Exemplo 2:

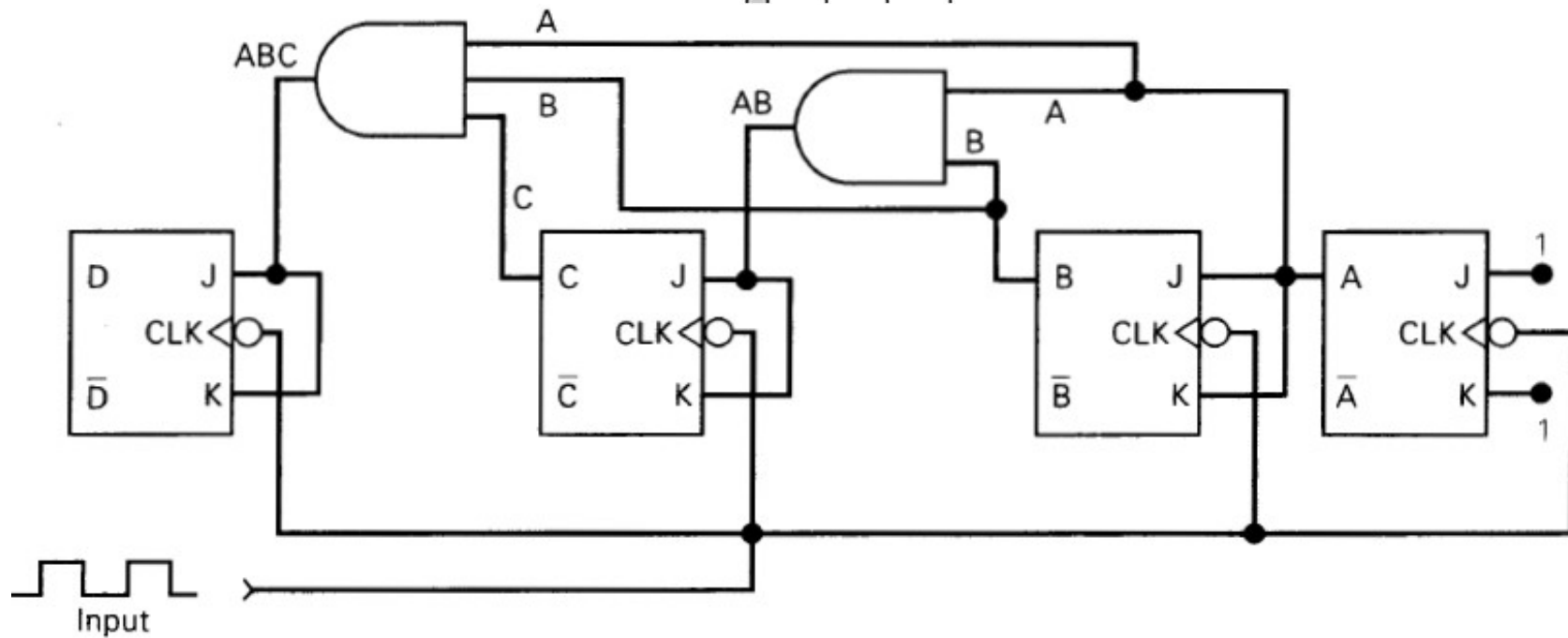


Contadores síncronos (paralelos)



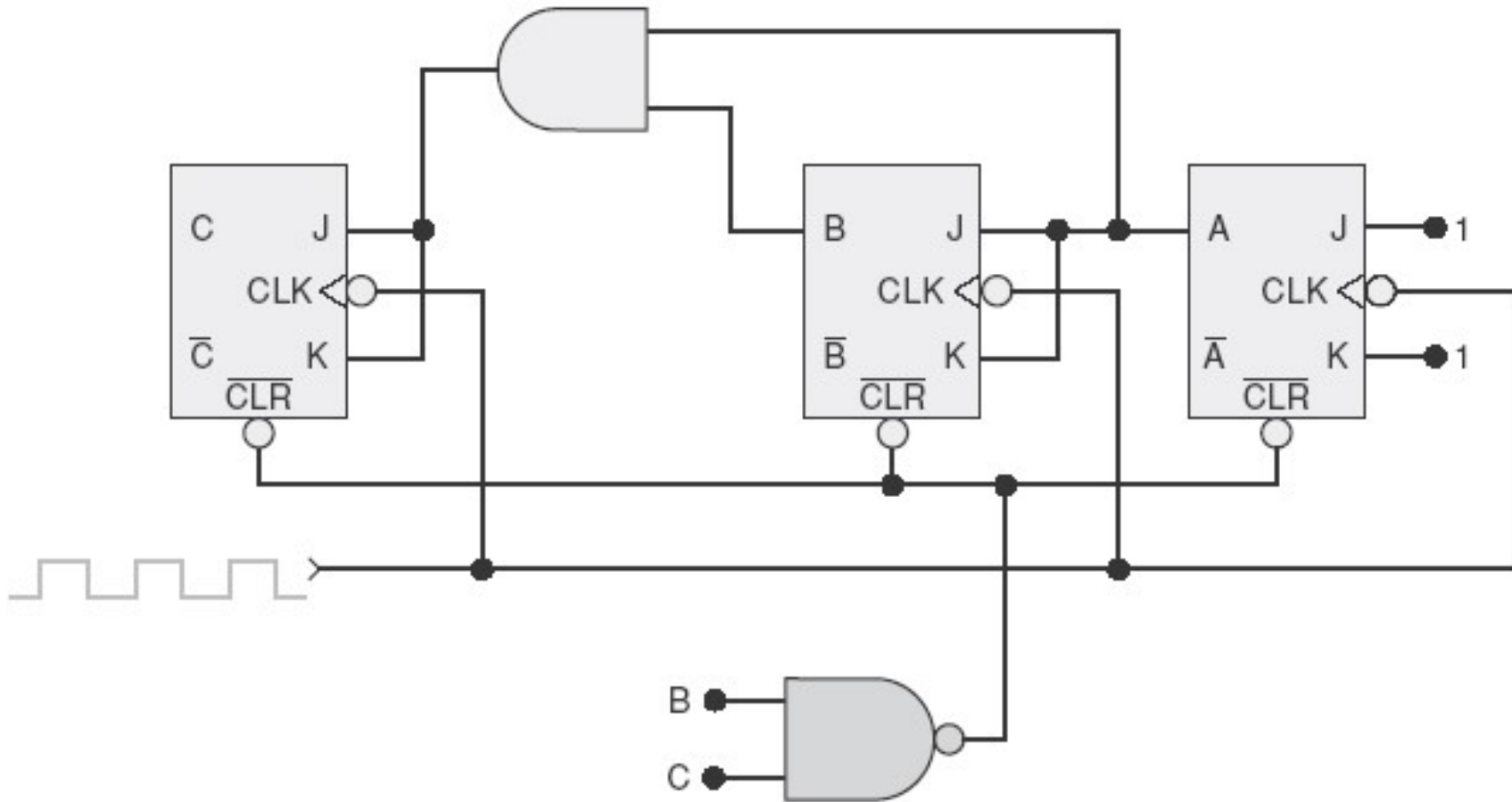
- Contador síncrono básico

Contagem	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
0	0	0	0	0

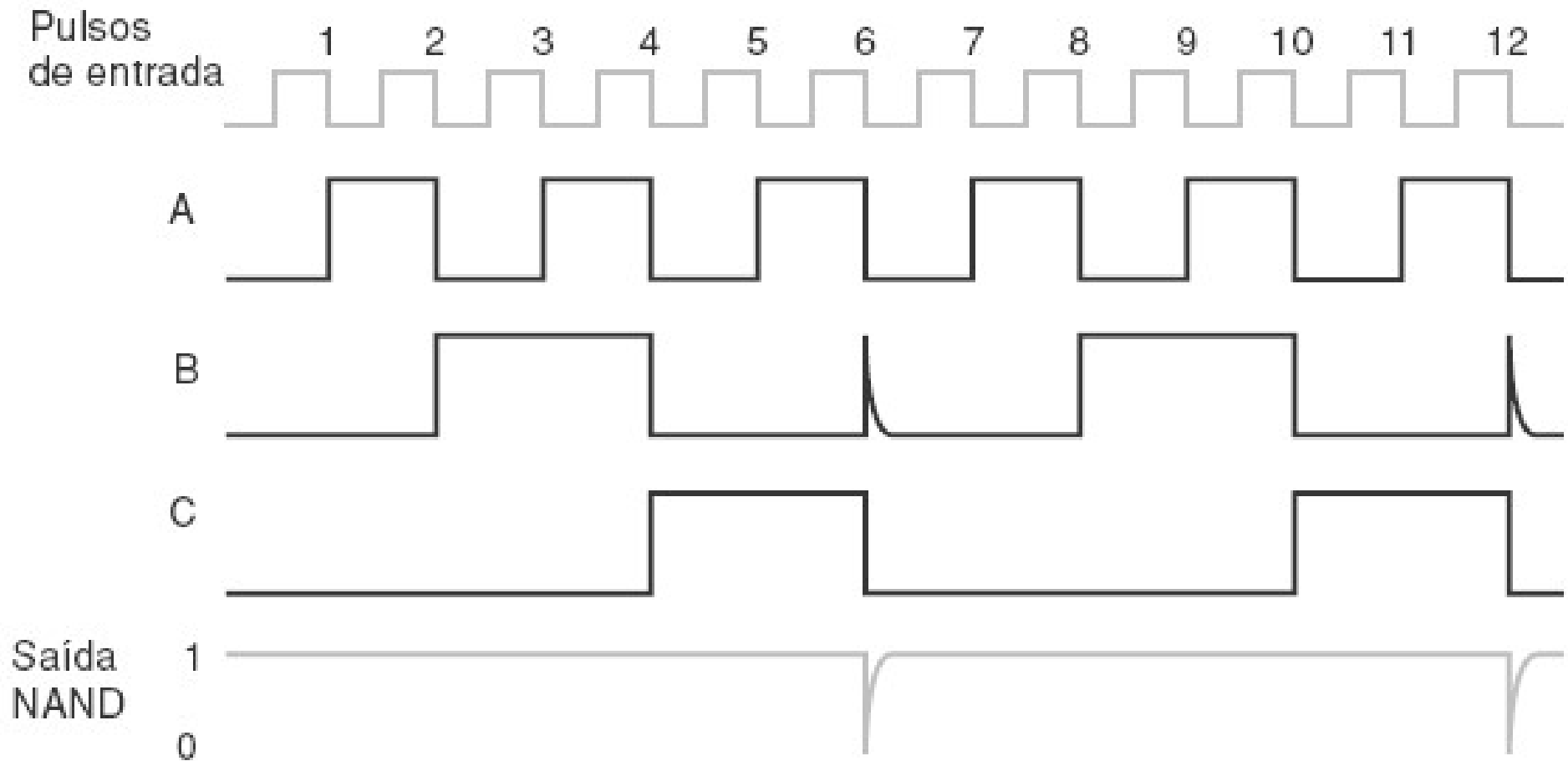


Contadores de módulo $<2^N$

- Altera a seqüência de estados (pula estados) usando porta NAND
 - Módulo 6 (000 -> 101)

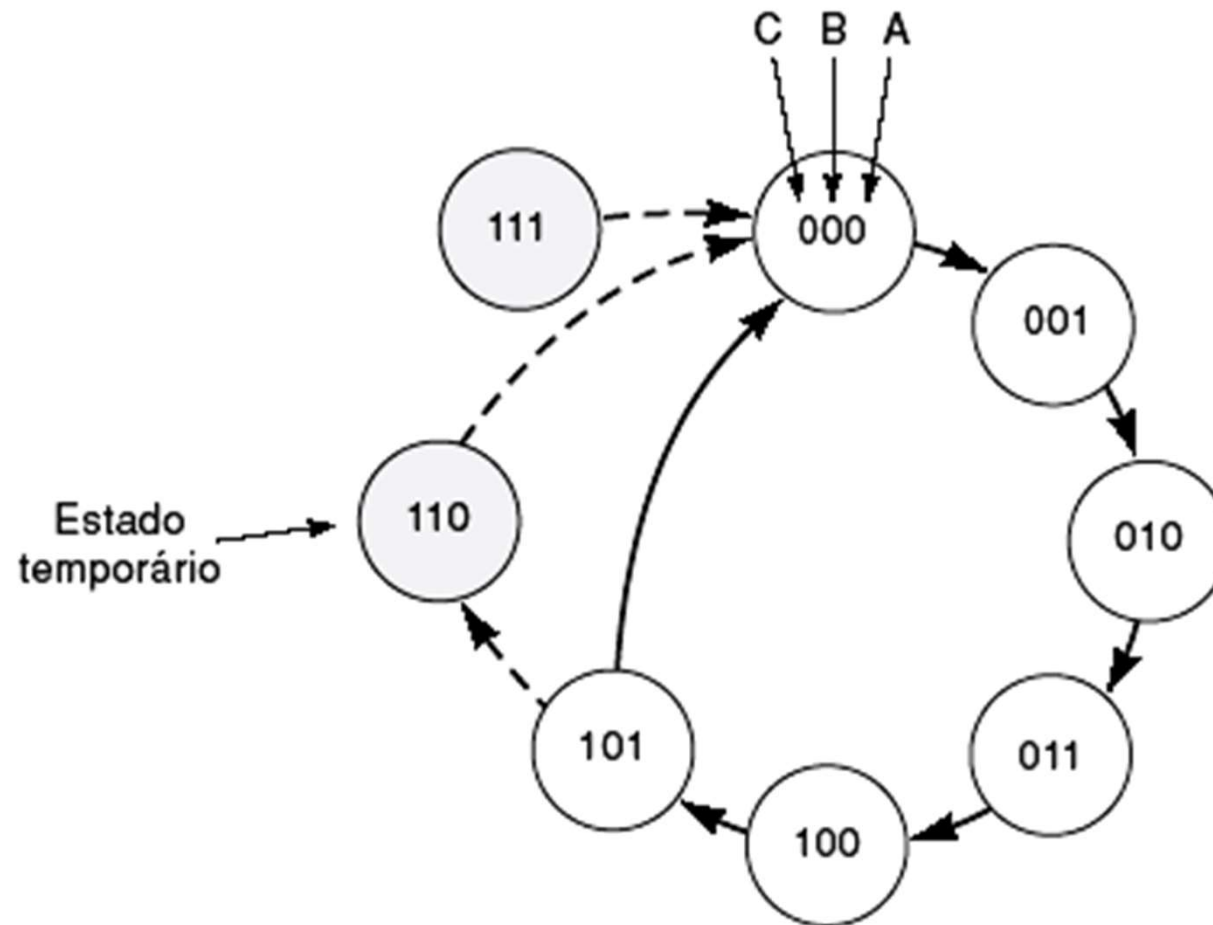


- *Spike ou glitch*

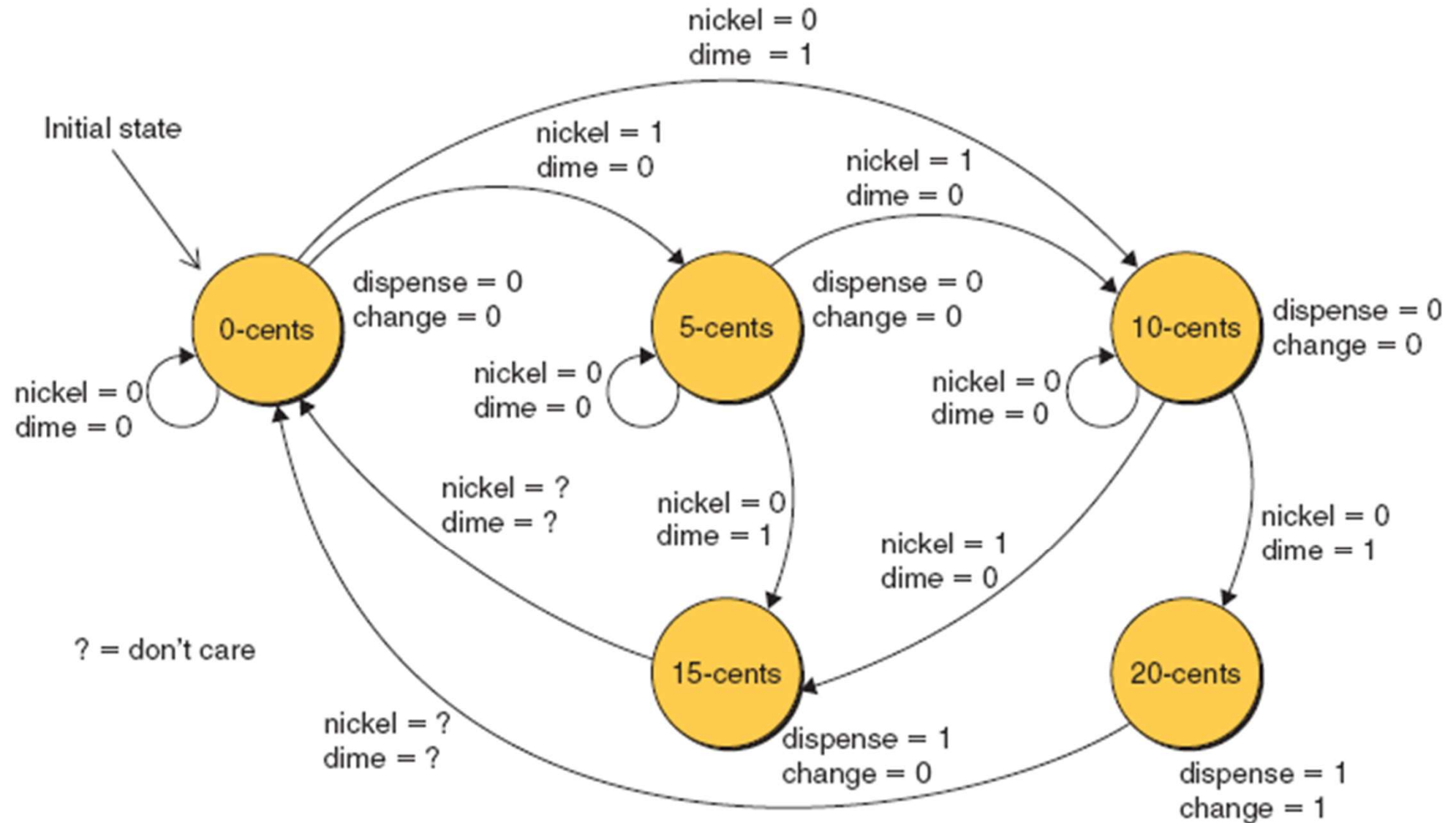


- Freqüência de saída e ciclo de trabalho

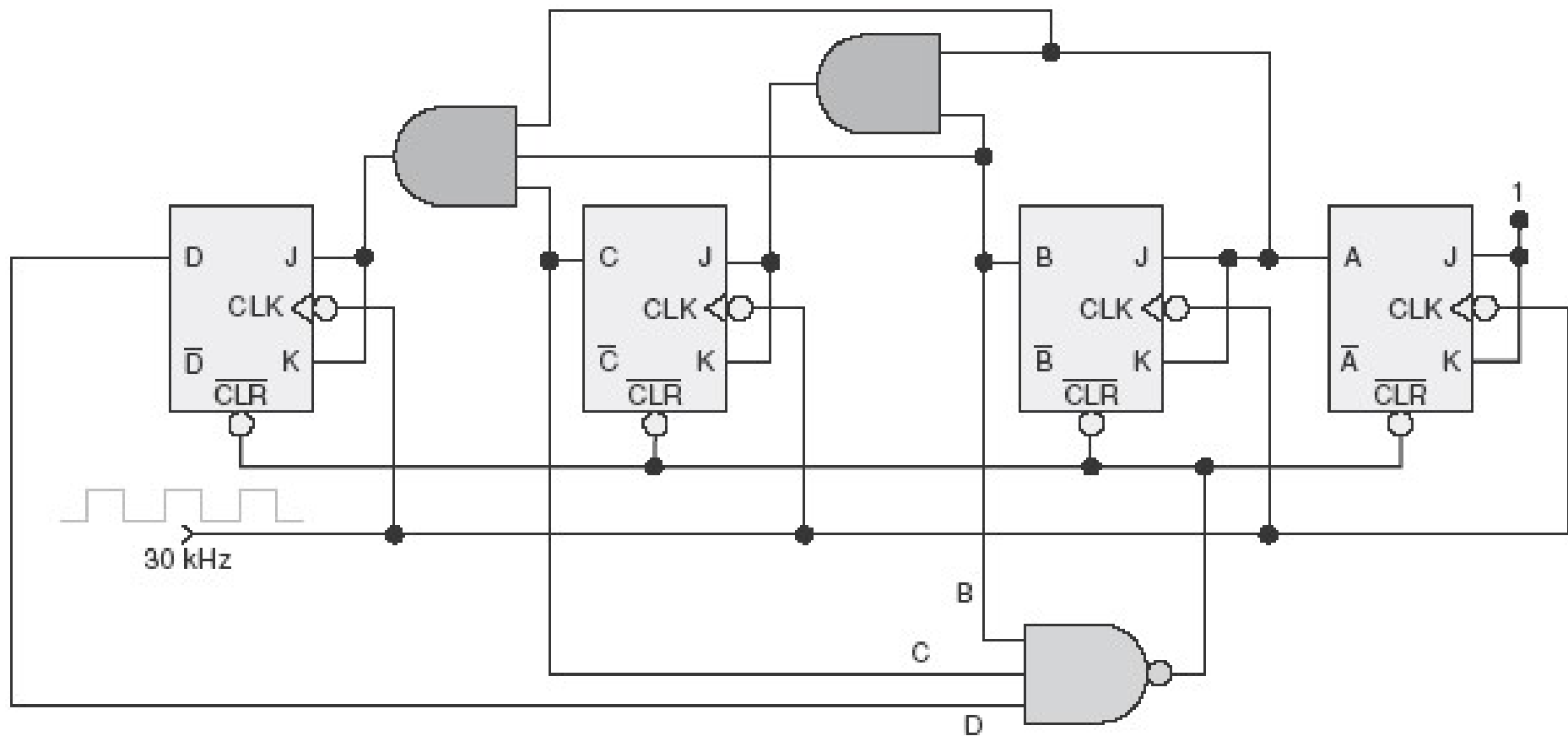
- Diagrama de transição de estados



- Máquina de estados
 - Exemplo:

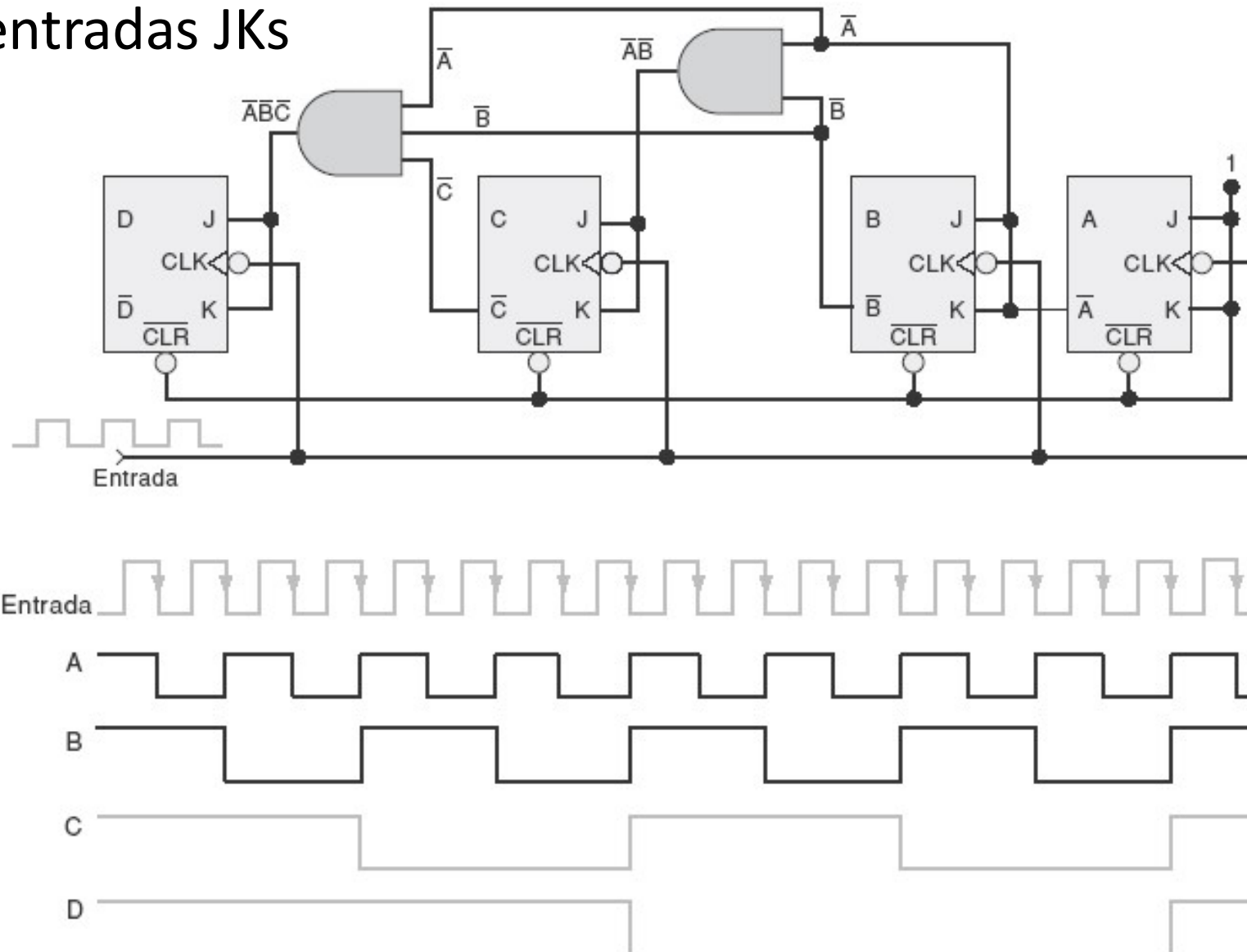


Exemplo: determine o módulo dos contadores e a frequência de saída D

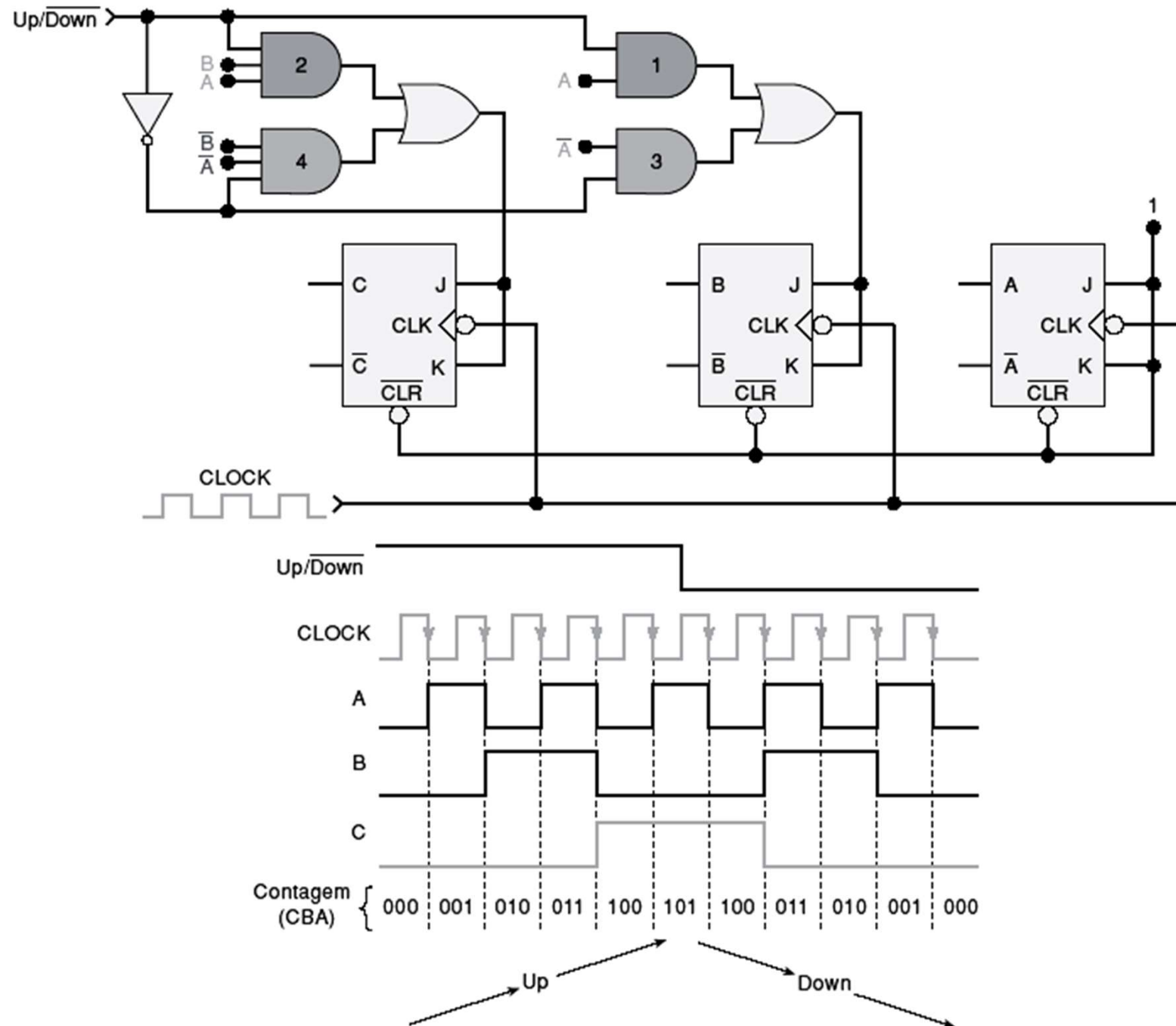


Contadores síncronos decrescentes

- Decrescente: usar as saídas invertidas dos FFs para controlar as entradas JKs

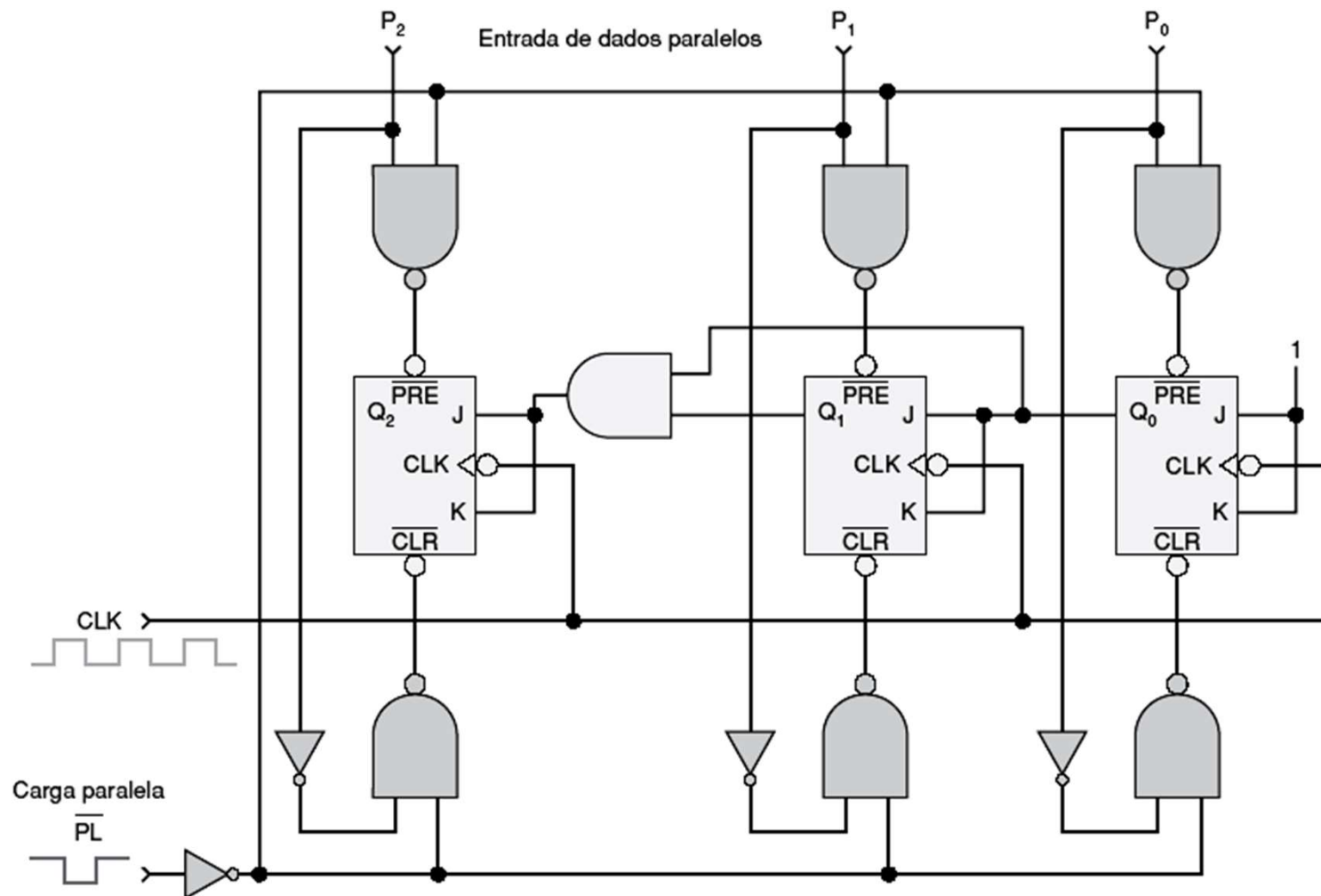


- Crescentes/decrescente com controle



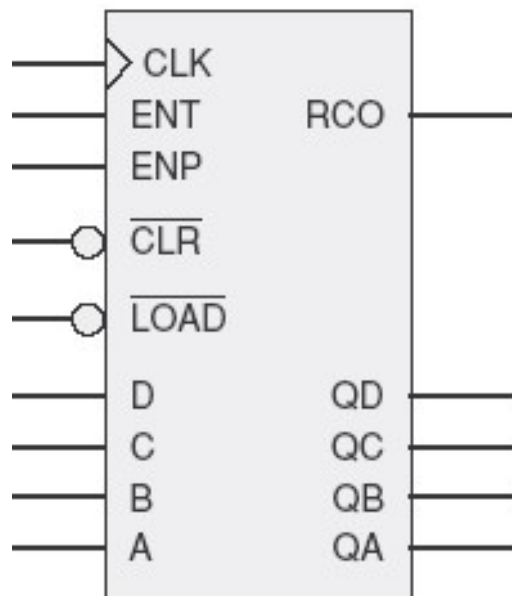
Contadores com carga paralela

- Inicializados com qualquer contagem inicial desejada (*presetable*)
 - Tipos: assíncrona e síncrona



CI's de contadores

- Permitem carga paralela (LOAD+CLK)
- ENT+ENP = habilitação de contagem
- ENT deve estar em alto para que RCO indique último estado

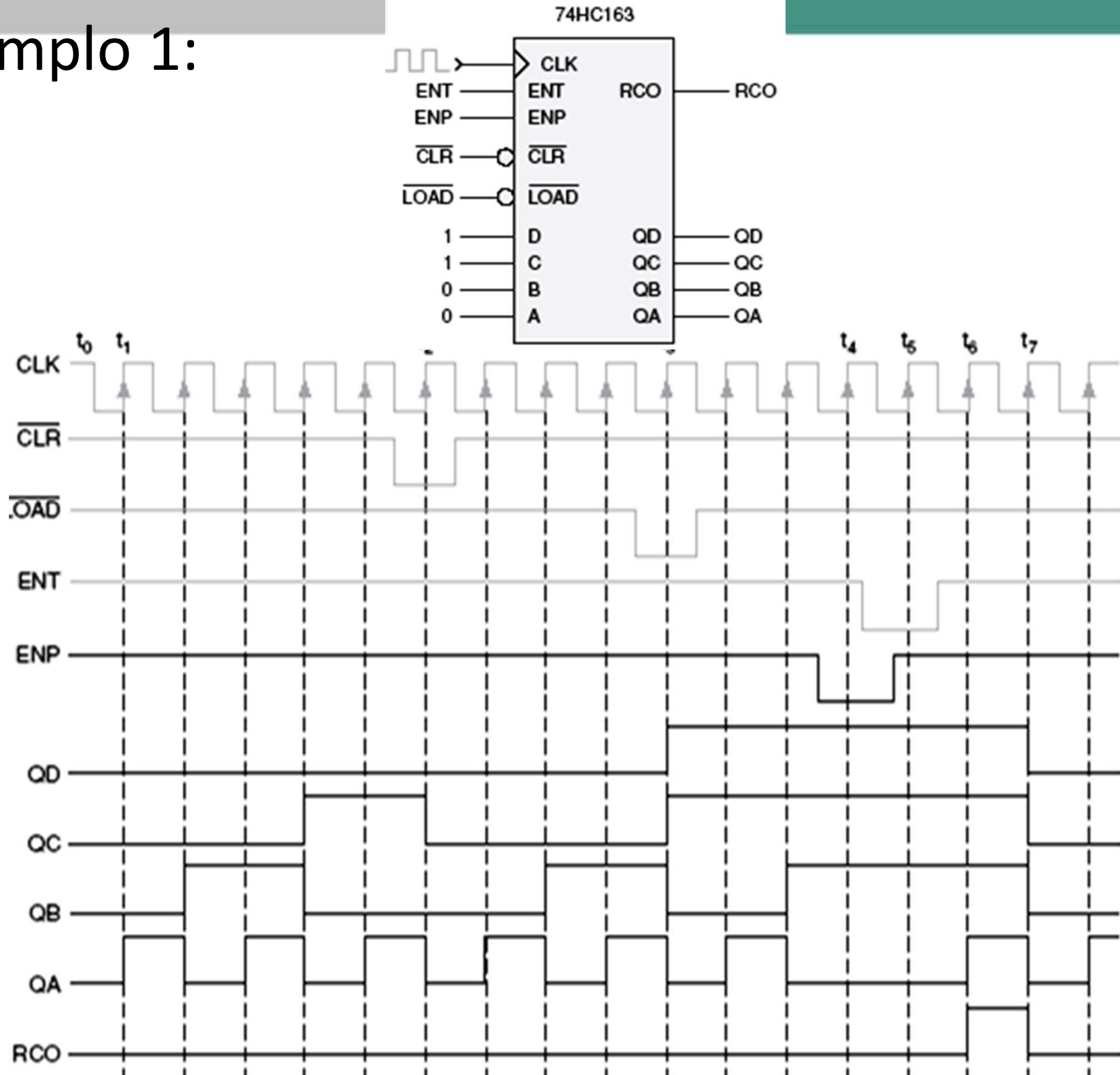


Número do componente	Módulos
74ALS160	10
74ALS161	16
74ALS162	10
74ALS163	16

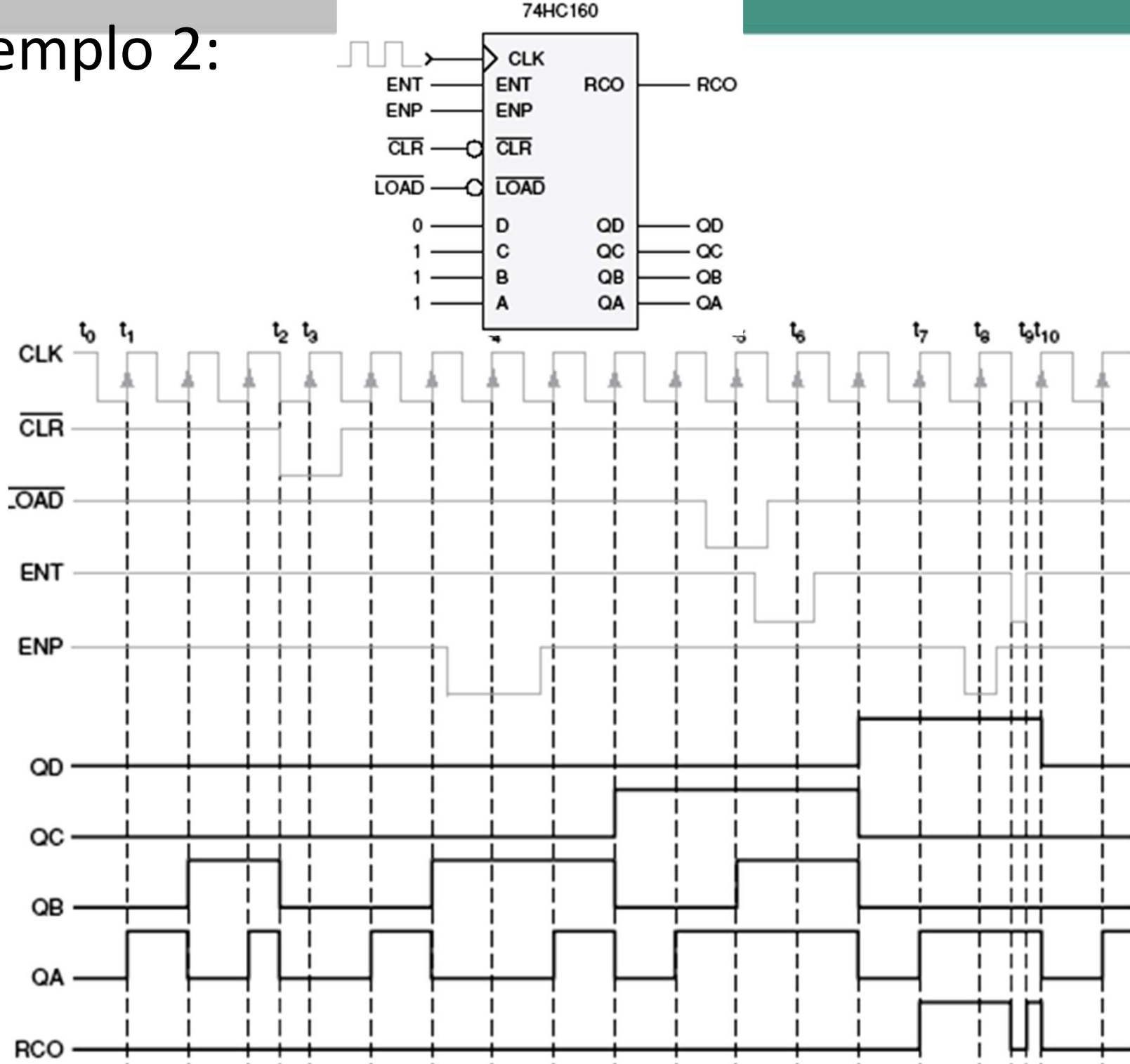
74ALS160-74ALS163 Tabela de funções

$\overline{\text{CLR}}$	$\overline{\text{LOAD}}$	ENP	ENT	CLK	Função
L	X	X	X	X	Clear assíncrono
L	X	X	X	↑	Clear síncrono
H	L	X	X	↑	Carga síncrona
H	H	H	H	↑	Contagem crescente
H	H	L	X	X	Sem mudança
H	H	X	L	X	Sem mudança

- Exemplo 1:

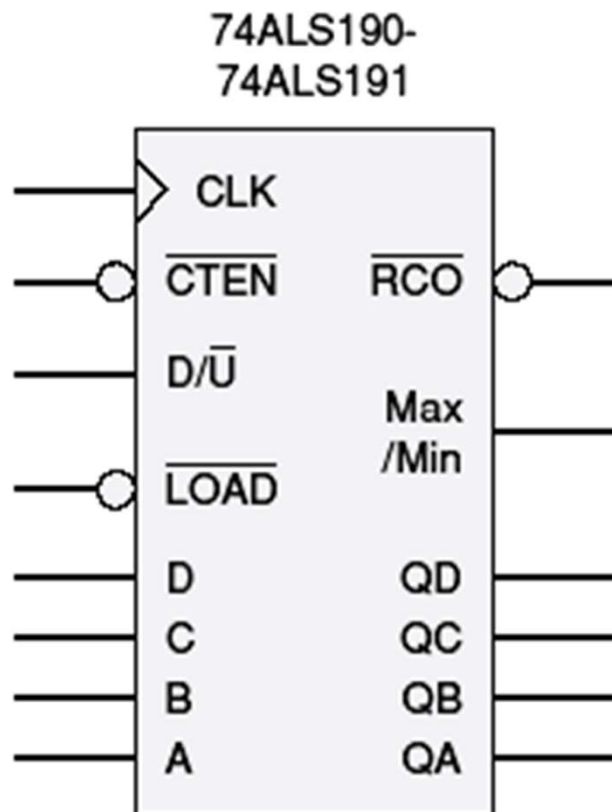


- Exemplo 2:



- Série 74xx190-191

- Controle da habilitação da contagem: CTEN deve estar baixo
- Sentido contagem: D/U
- MIN/MAX: detecta estado terminal
- RCO só funciona quando CTEN está em baixo e só entra em baixo quando clock também estiver em baixo



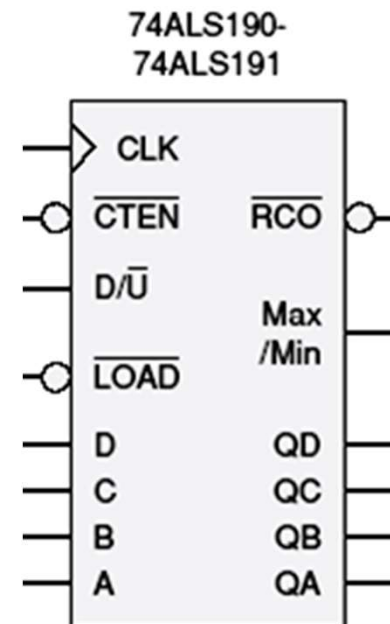
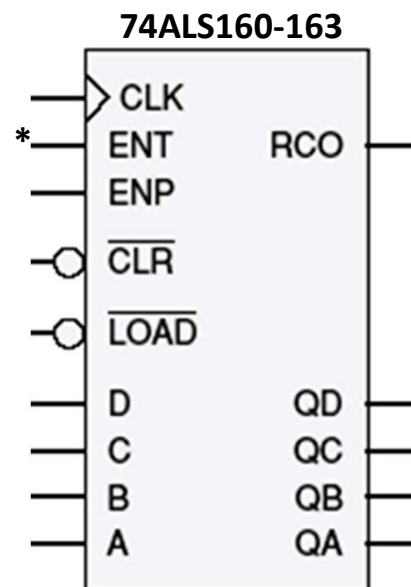
Número do componente	Módulos
74ALS190	10
74ALS191	16

74ALS190-74ALS191 Tabela de funções

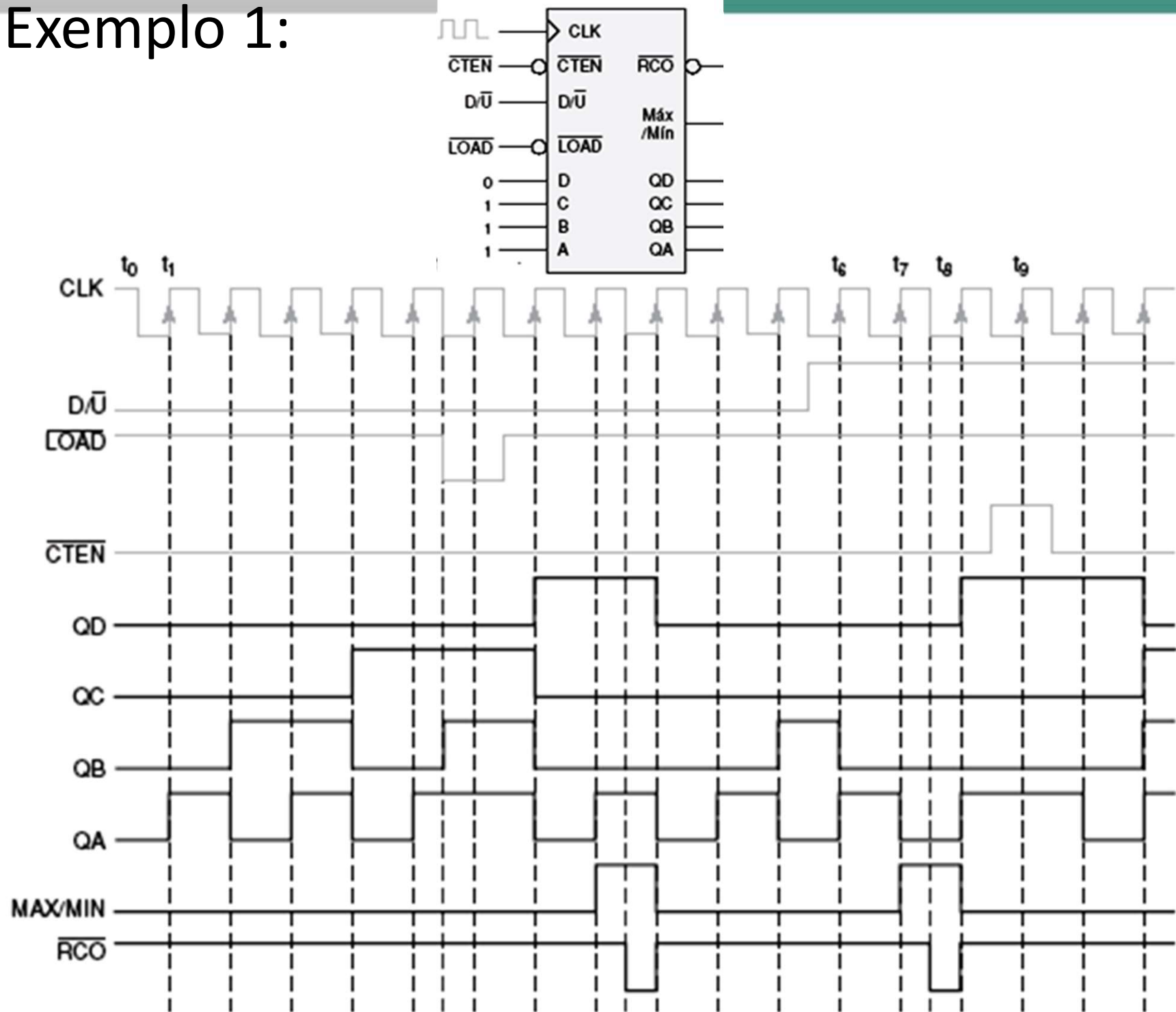
$\overline{\text{LOAD}}$	$\overline{\text{CTEN}}$	D/U	CLK	Função
L	X	X	X	Carga assíncrona
H	L	L	$\uparrow$	Contagem crescente
H	L	H	$\uparrow$	Contagem decrescente
H	H	X	X	Sem mudança

- Resumindo os contadores síncronos...

- 74160: mod 10
 - 74161: mod 16
 - 74162: mod 10
 - 74163: mod 16
 - 74190: mod 10
 - 74191: mod 16
- Clear assíncrono
- Clear síncrono
- Carga síncrona
- Cresc./decresc.
- Carga assíncrona

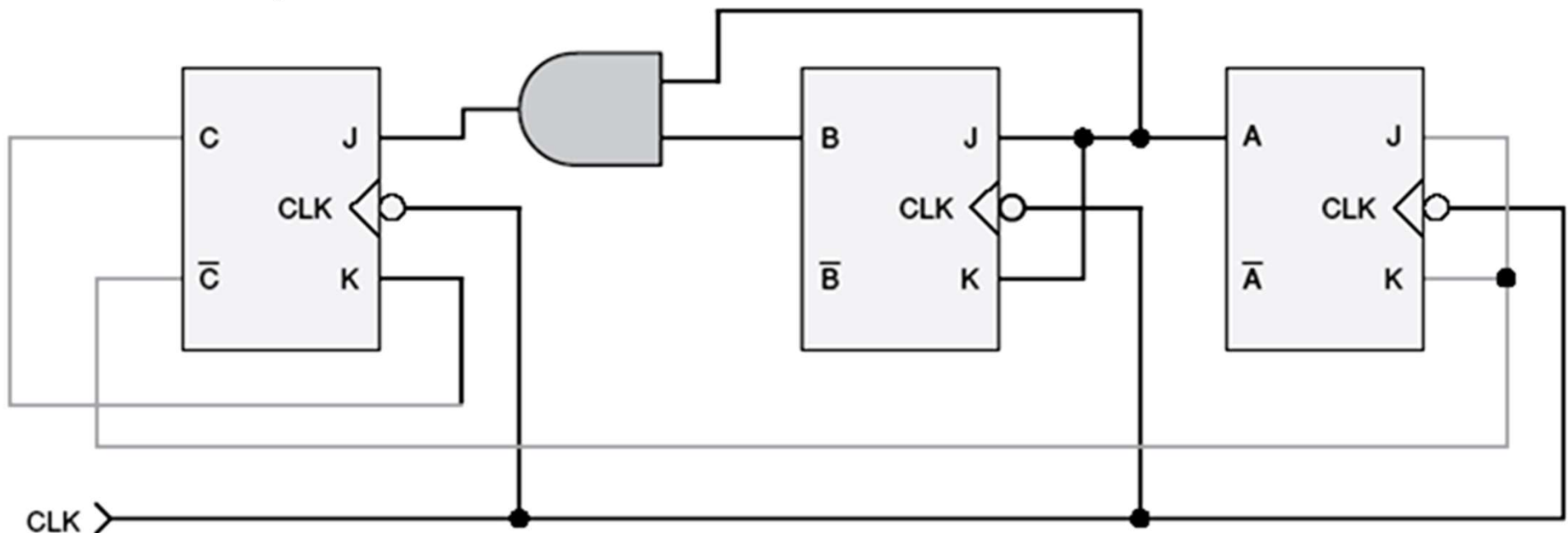


- Exemplo 1:



Analizando contadores síncronos

- Contadores com FF sem entradas assíncronas não geram estados temporários
- Tabela de estado ATUAL/PRÓXIMO
 - Exemplo:



	PRESENT State			NEXT State								
	<i>C</i>	<i>B</i>	<i>A</i>	<i>C</i>	<i>B</i>	<i>A</i>	<i>J_C</i>	<i>K_C</i>	<i>J_B</i>	<i>K_B</i>	<i>J_A</i>	<i>K_A</i>
line 1												
2												
3												
4												
5												
6												
7												
8												

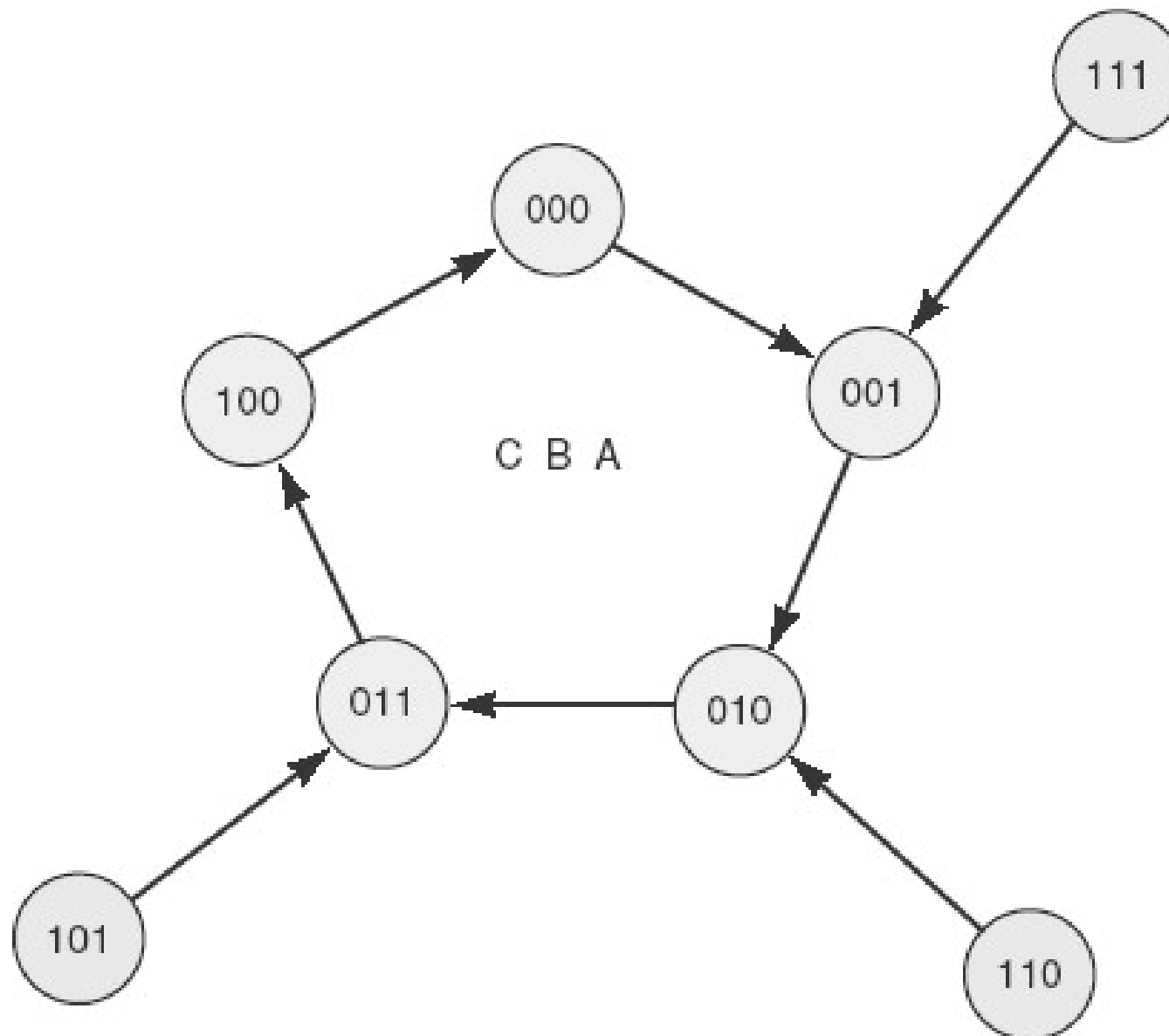
$$J_C = A.B$$

$$K_C = C$$

$$J_B = K_B = A$$

$$J_A = K_A = \overline{C}$$

- Diagrama de transição de estados do exemplo:



Projeto de contadores síncronos

- Quando ocorrer o próximo pulso de clock, as entradas J e K deverão estar nos níveis corretos para fazer com que o FF mude pro estado desejado
- Tabela de excitação JK

Transition at Output	PRESENT State $Q(N)$	NEXT State $Q(N + 1)$	J	K
$0 \rightarrow 0$	0	0	0	x
$0 \rightarrow 1$	0	1	1	x
$1 \rightarrow 0$	1	0	x	1
$1 \rightarrow 1$	1	1	x	0

• Procedimentos de projeto:

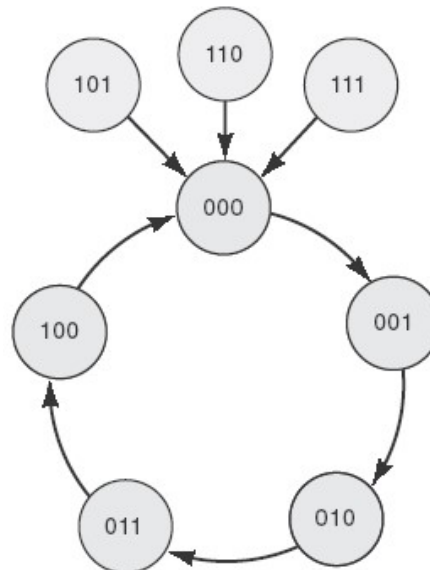
- 1) Determine o número de FFs e a seqüência de contagem desejada

➤ Exemplo:

C	B	A
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
0	0	0
0	0	1
etc.		

- 2) Desenhar o diagrama de transição de estados mostrando todos os estados possíveis

➤ **Autocorretor ?**



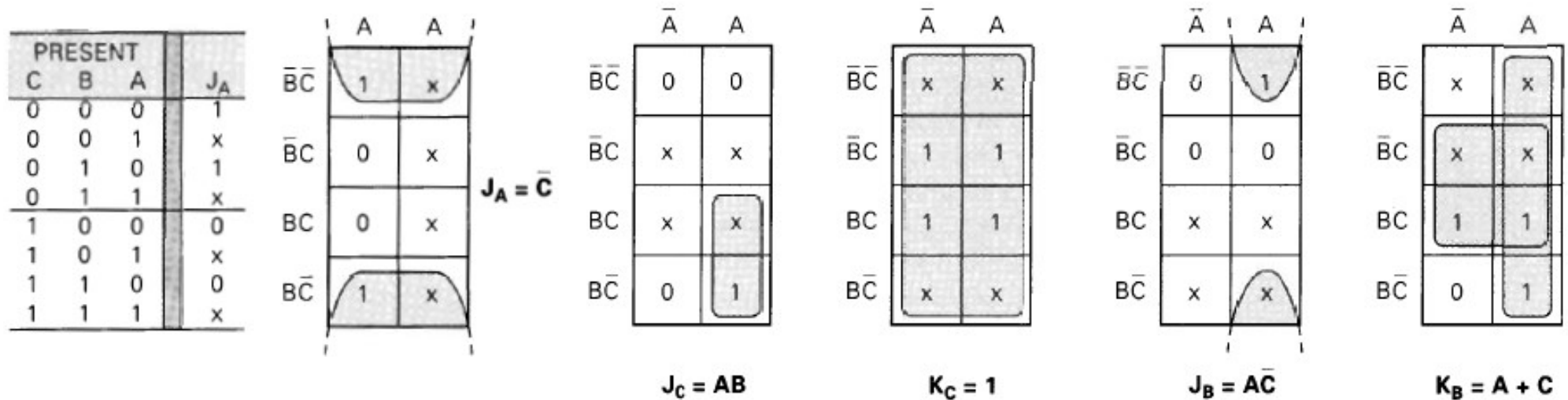
3) Use o diagrama para montar a tabela que liste todos os estados ATUAIS e PRÓXIMOS

	PRESENT State			NEXT State		
	<i>C</i>	<i>B</i>	<i>A</i>	<i>C</i>	<i>B</i>	<i>A</i>
line 1	0	0	0	0	0	1
2	0	0	1	0	1	0
3	0	1	0	0	1	1
4	0	1	1	1	0	0
5	1	0	0	0	0	0
6	1	0	1	0	0	0
7	1	1	0	0	0	0
8	1	1	1	0	0	0

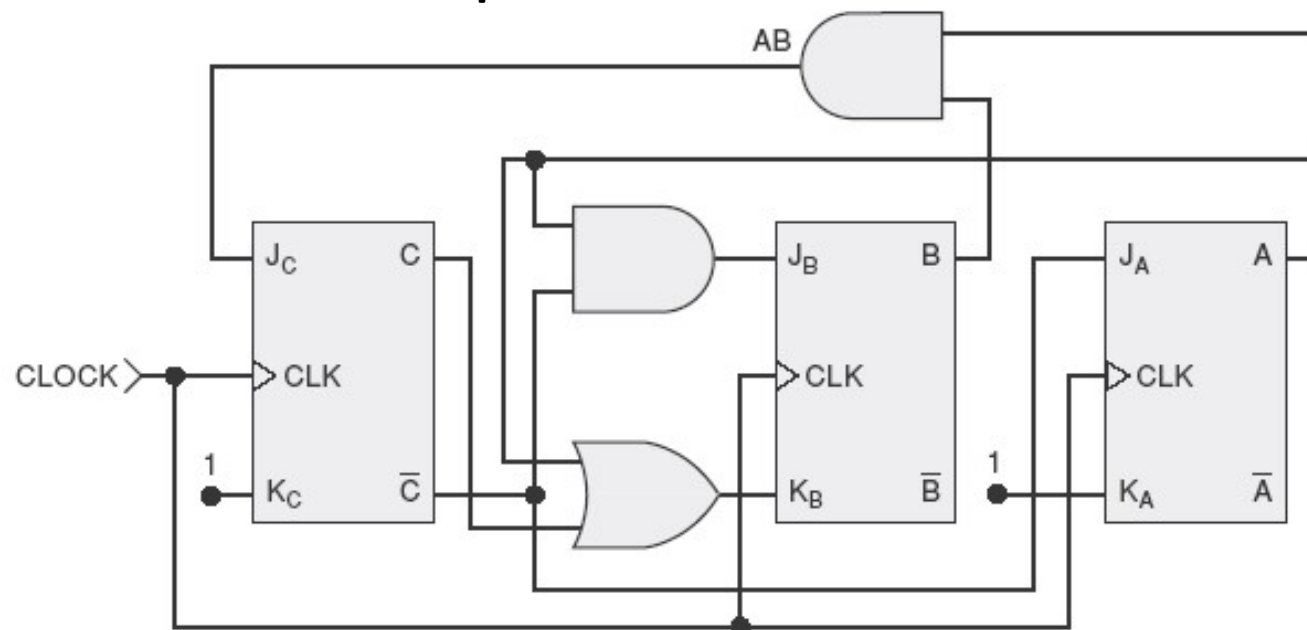
4) Acrescente uma coluna na tabela anterior indicando os níveis exigidos em cada entrada JK para produzir a transição para o PRÓXIMO

	PRESENT State			NEXT State								
	<i>C</i>	<i>B</i>	<i>A</i>	<i>C</i>	<i>B</i>	<i>A</i>	<i>J_C</i>	<i>K_C</i>	<i>J_B</i>	<i>K_B</i>	<i>J_A</i>	<i>K_A</i>
line 1	0	0	0	0	0	1	0	<i>x</i>	0	<i>x</i>	1	<i>x</i>
2	0	0	1	0	1	0	0	<i>x</i>	1	<i>x</i>	<i>x</i>	1
3	0	1	0	0	1	1	0	<i>x</i>	<i>x</i>	0	1	<i>x</i>
4	0	1	1	1	0	0	1	<i>x</i>	<i>x</i>	1	<i>x</i>	1
5	1	0	0	0	0	0	<i>x</i>	1	0	<i>x</i>	0	<i>x</i>
6	1	0	1	0	0	0	<i>x</i>	1	0	<i>x</i>	<i>x</i>	1
7	1	1	0	0	0	0	<i>x</i>	1	<i>x</i>	1	0	<i>x</i>
8	1	1	1	0	0	0	<i>x</i>	1	<i>x</i>	1	<i>x</i>	1

5) Projetar os circuitos lógicos necessários para gerar os níveis requeridos em cada entrada JK

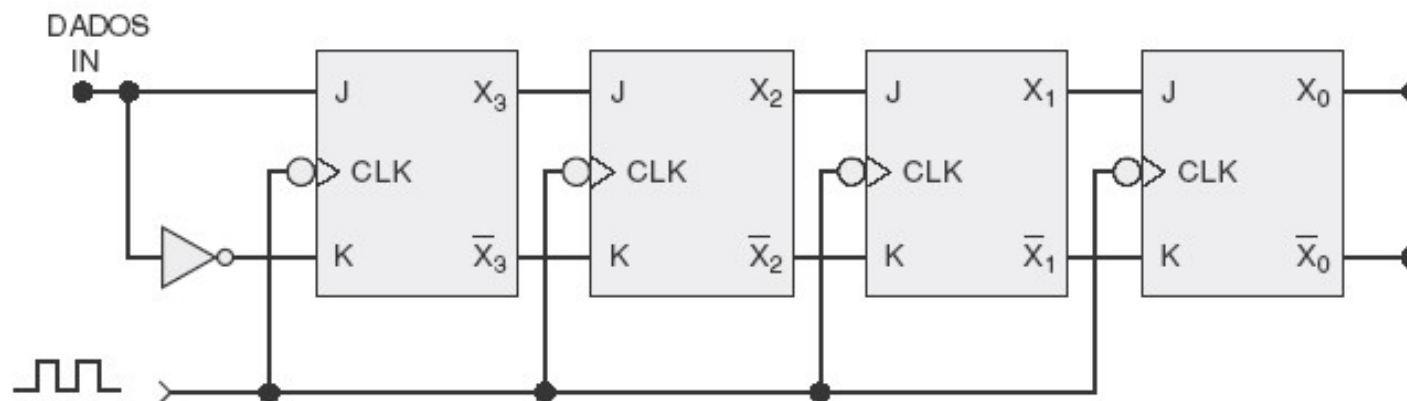


6) Implementar as expressões finais

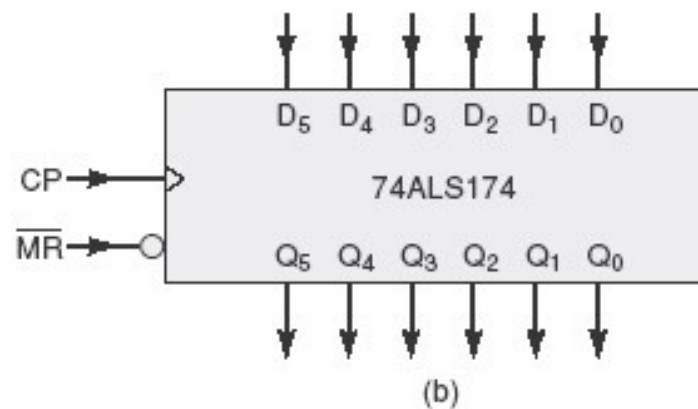
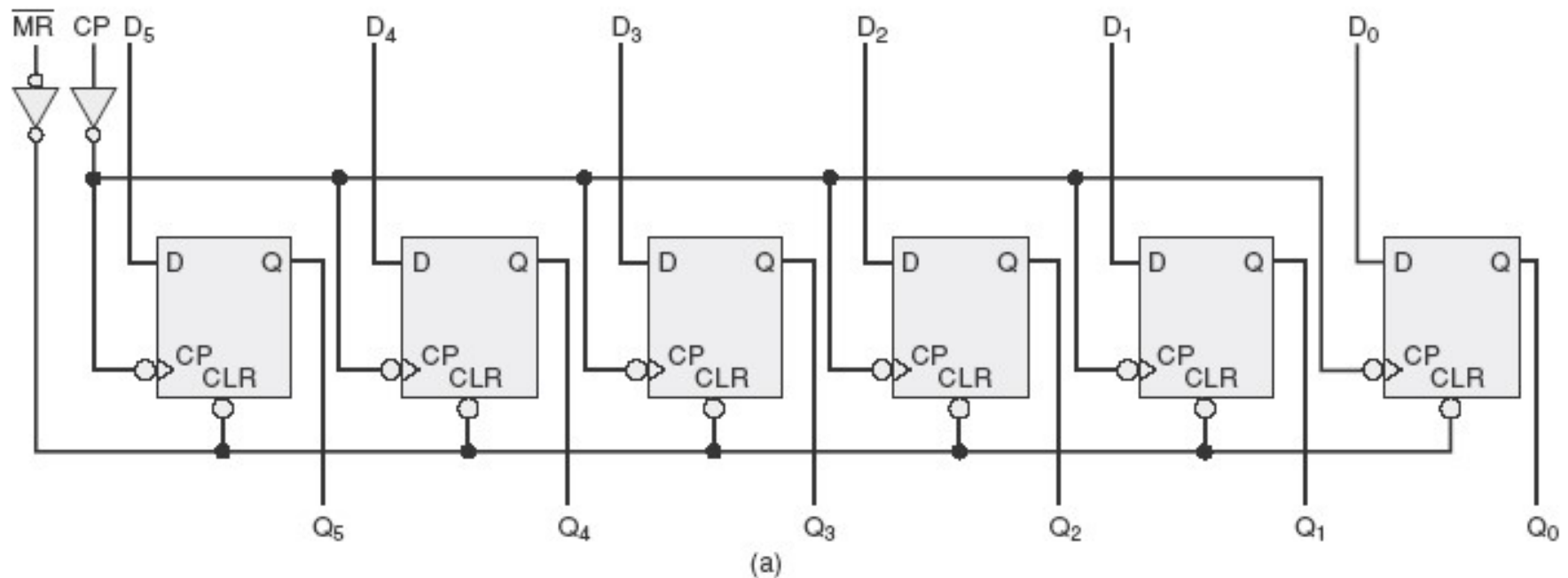


Cl's de Registradores

- Registradores de deslocamento
 - Classificados na forma como os dados entram e saem:
 - Entrada paralela e saída paralela
 - Entrada serial e saída serial
 - Entrada paralela e saída serial
 - Entrada serial e saída paralela

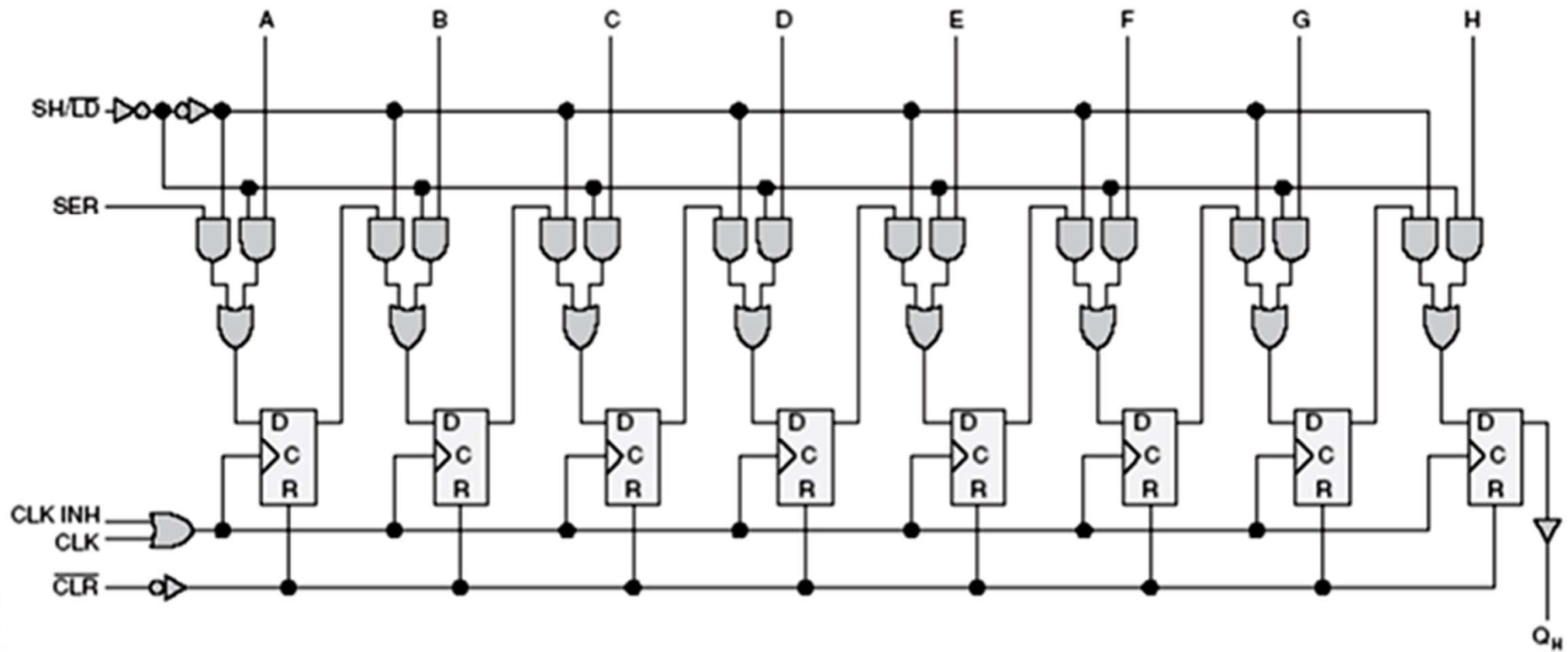
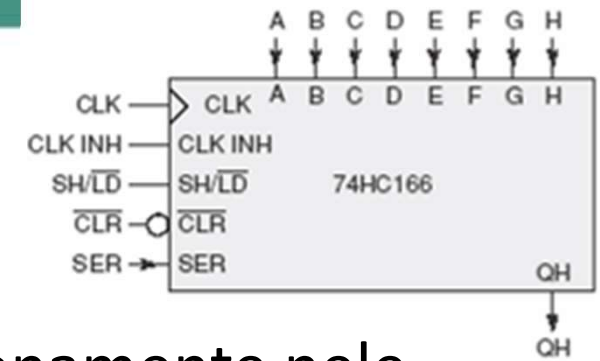


Entrada paralela e saída paralela – 74HC174



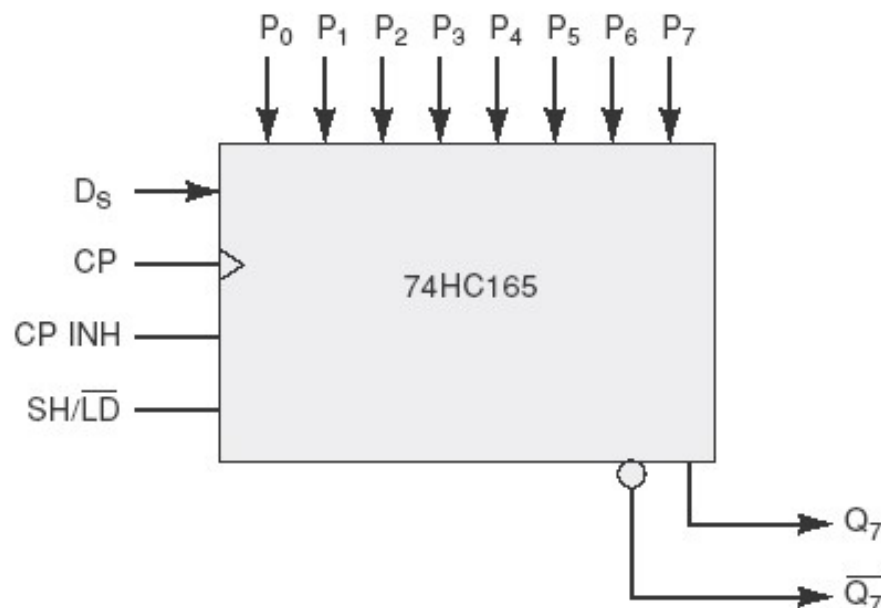
Entrada e saída serial - 74HC166

- Entrada de dados seriais em SER (saída Q_H)
- Clear assíncrono ativo-baixo
- Dados paralelos podem ser carregados sincronamente nele
 $SH/LD = 0 \rightarrow$ entradas A à H)
- As funções de deslocamento serial e carga paralela são desabilitadas aplicando-se $CLK\ INH = 1$.



Entrada paralela e saída serial – 74HC165

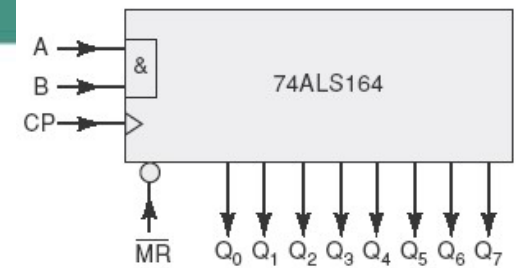
- Entrada paralela (P_7 a P_0) quanto serial (D_s)
- CP: entrada de clock
- CP INH: inibição de clock e anula CP
- SH/LD: operação que está sendo realizada:
 - Deslocando (síncrono) ou carregando paralelamente (assíncrono)



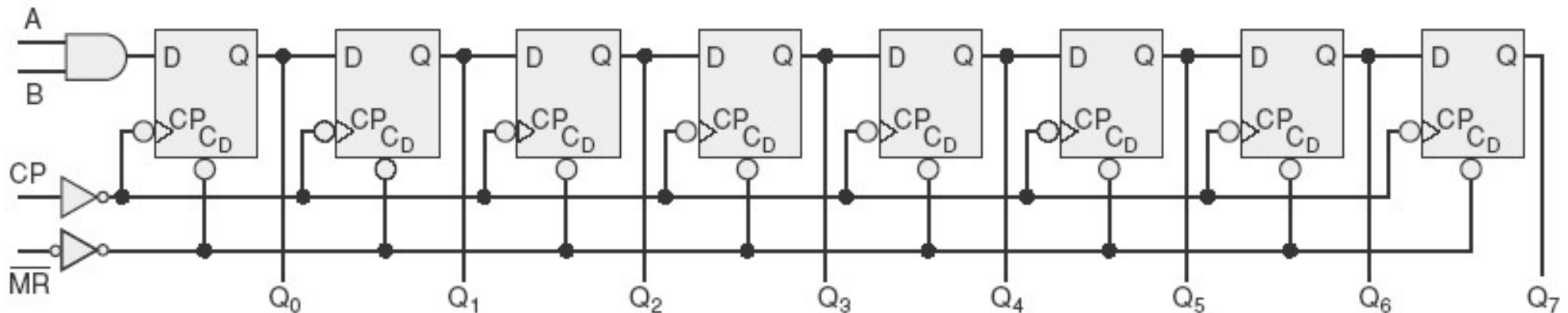
Entradas			Operação
SH/LD	CP	CP INH	
L	X	X	Carga paralela
H	H	X	Sem mudança
H	X	H	Sem mudança
H	$\overline{\text{F}}$	L	Deslocamento
H	L	$\overline{\text{F}}$	Deslocamento

H = nível alto
L = nível baixo
X = irrelevante
 $\overline{\text{F}}$ = PGT

Entrada serial e saída paralela - 74HC164

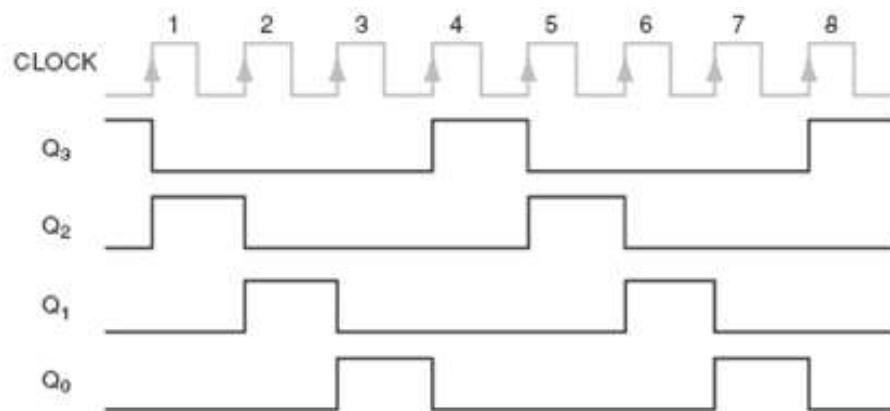
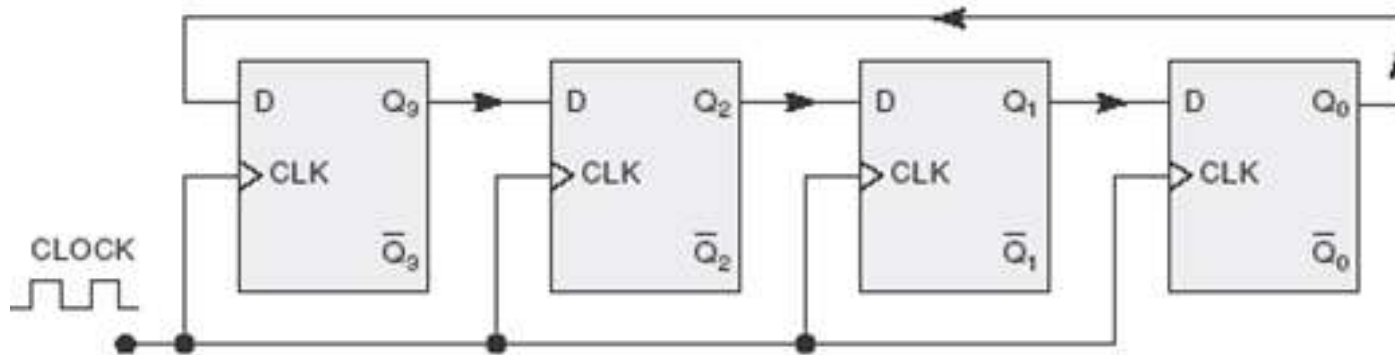


- É um registrador de deslocamento de 8 bits
- Um porta AND combina A e B para produzir a entrada serial para o FF Q_0
- Deslocamento acontece na borda de subida CP
- MR é um reset assíncrono

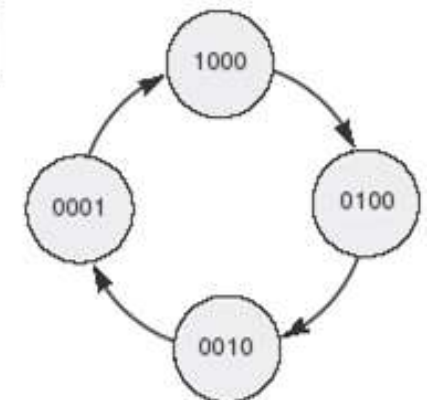


Contadores com registradores de deslocamento

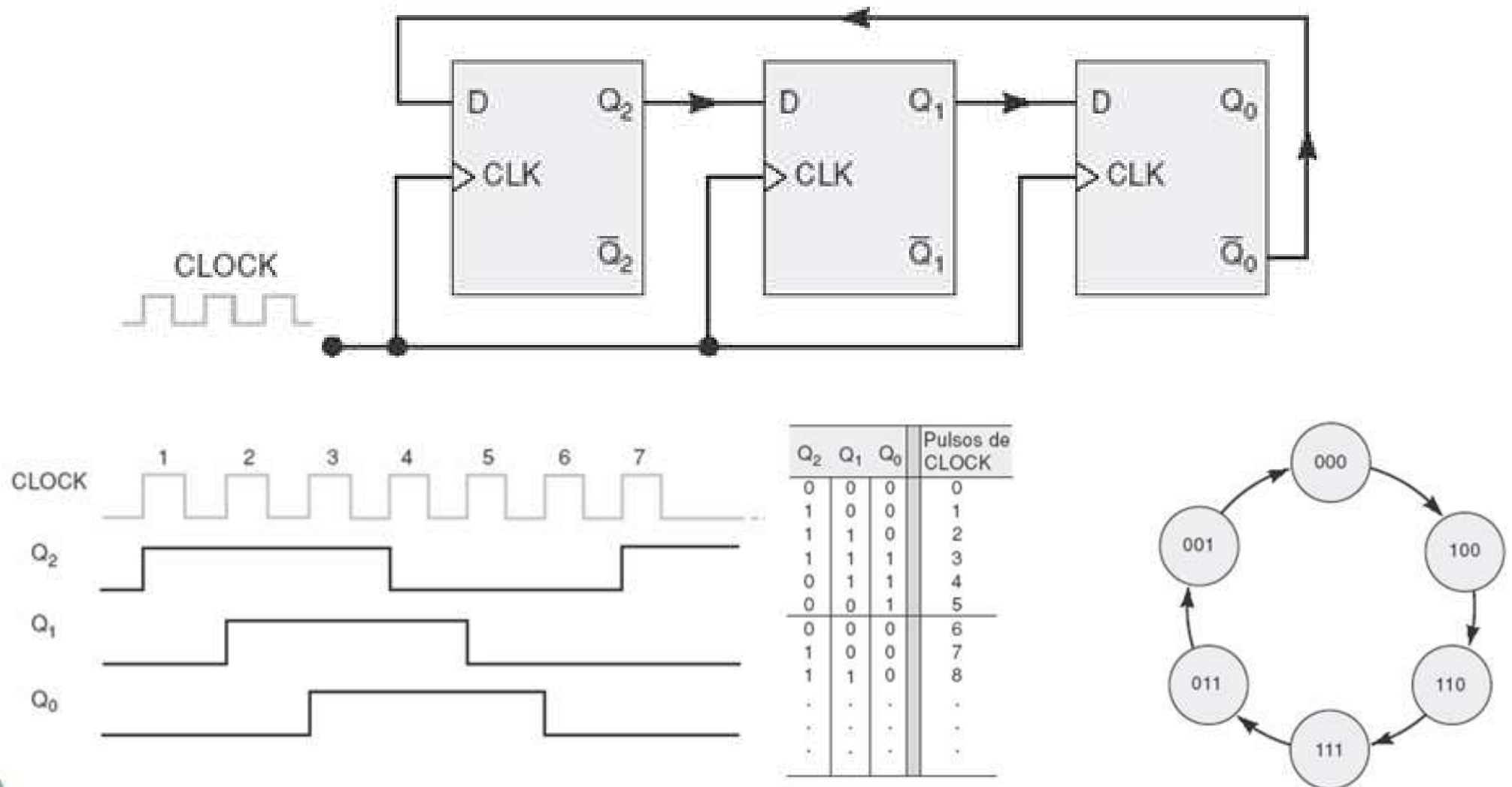
- Usam a realimentação: saída do último FF é ligada ao primeiro FF
- **TIPO 1:** em anel ou “registrador de deslocamento circular”



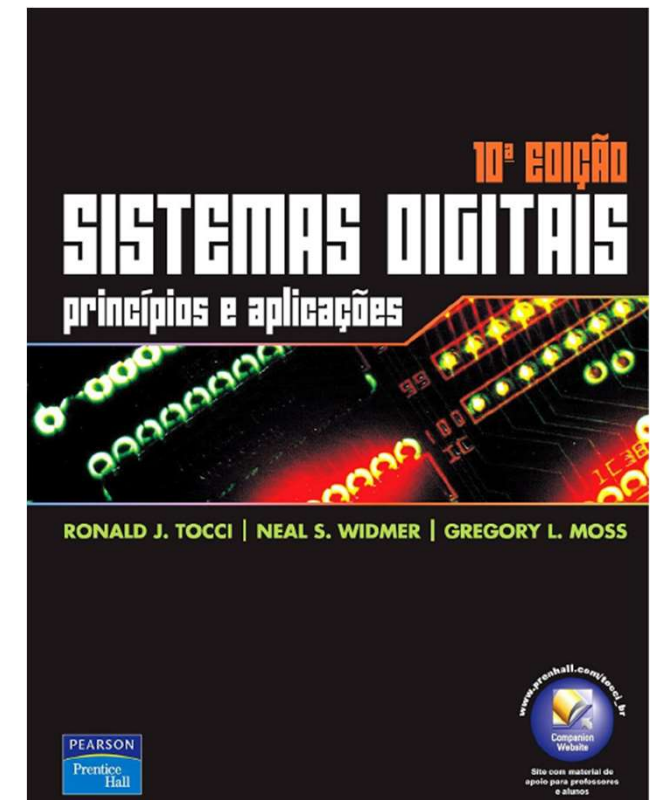
Q_3	Q_2	Q_1	Q_0	Pulsos de CLOCK
1	0	0	0	0
0	1	0	0	1
0	0	1	0	2
0	0	0	1	3
1	0	0	0	4
0	1	0	0	5
0	0	1	0	6
0	0	0	1	7
.	.	.	.	.
.	.	.	.	.



- **TIPO 2:** Contador Johnson ou anel torcido
 - Saída invertida que realimenta o circuito
 - Módulo igual a $2 \cdot N$

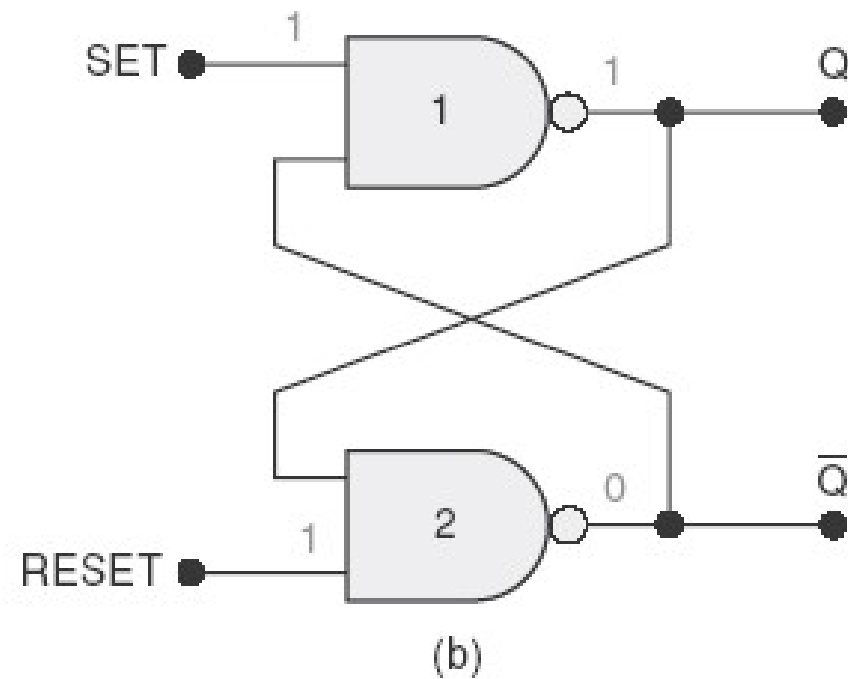
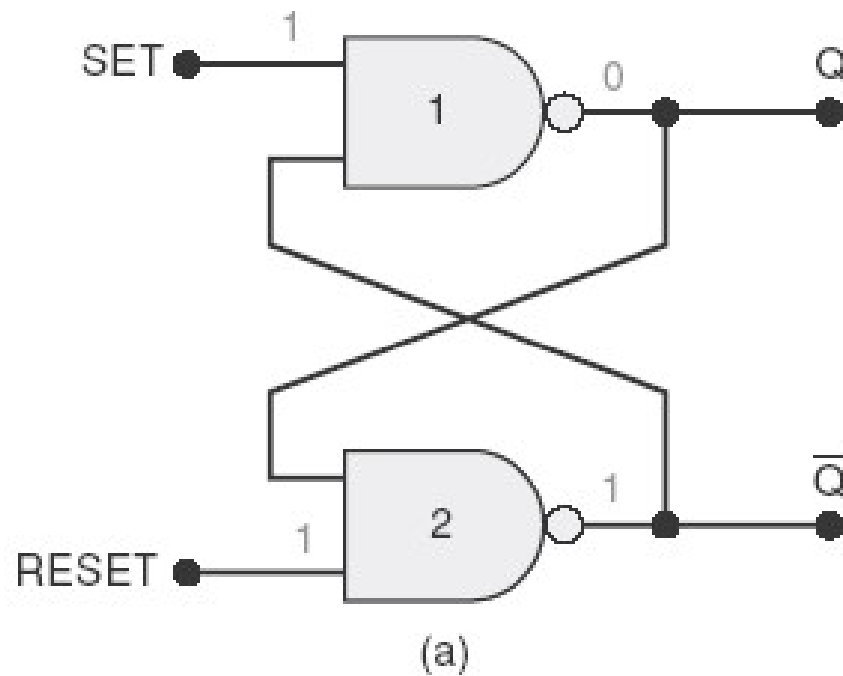


- Matéria da prova:
 - 5.1 a 5.2, 5.5 a 5.10, 5.12 a 5.19
 - 7.1 a 7.10 e 7.14

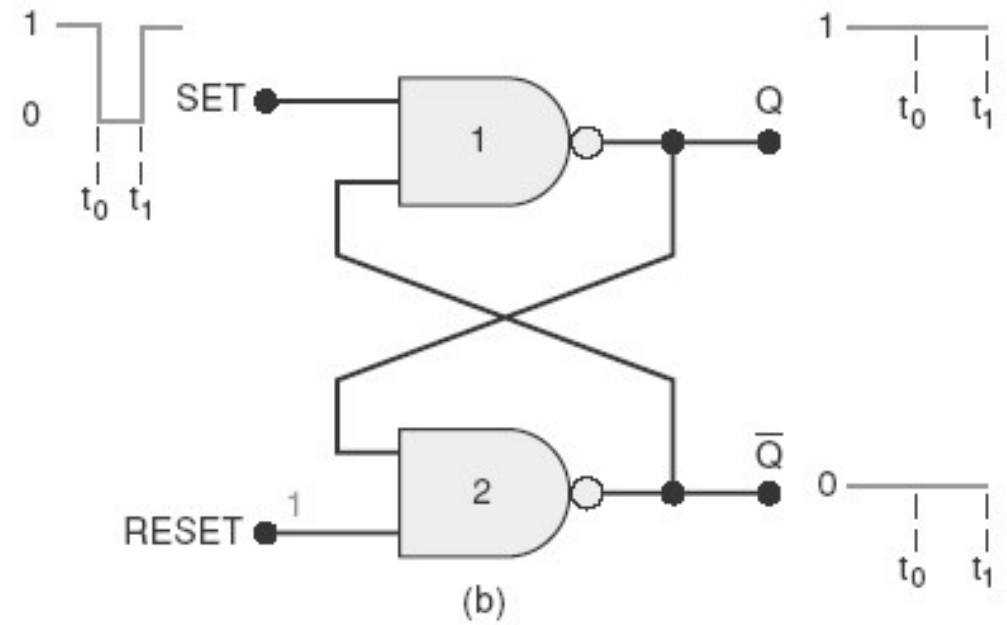
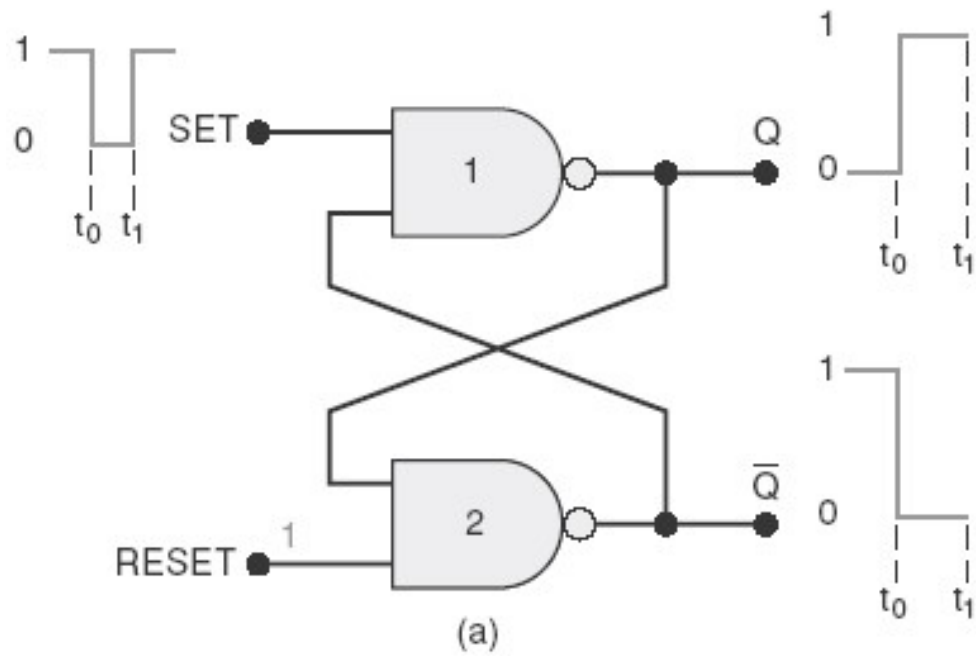


LATCH

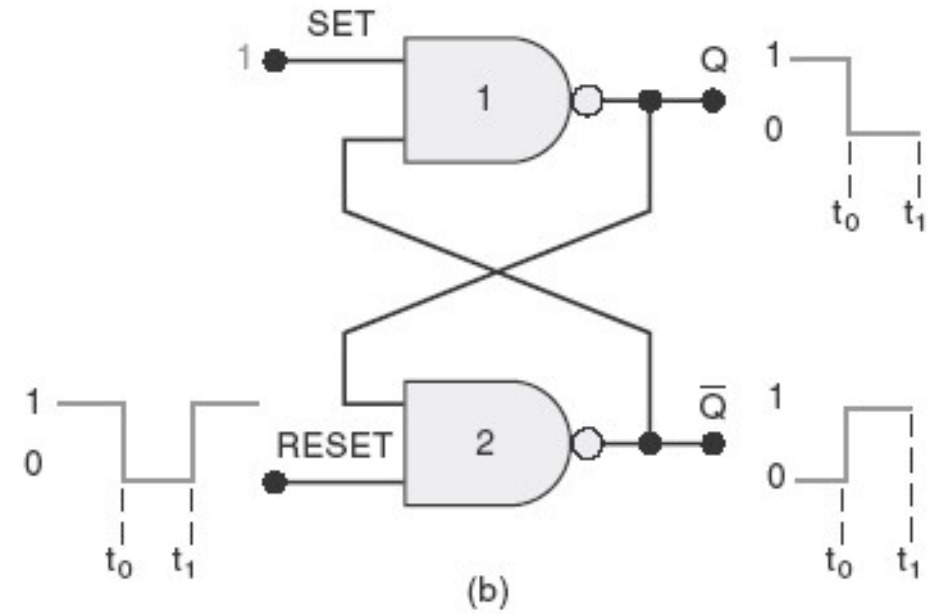
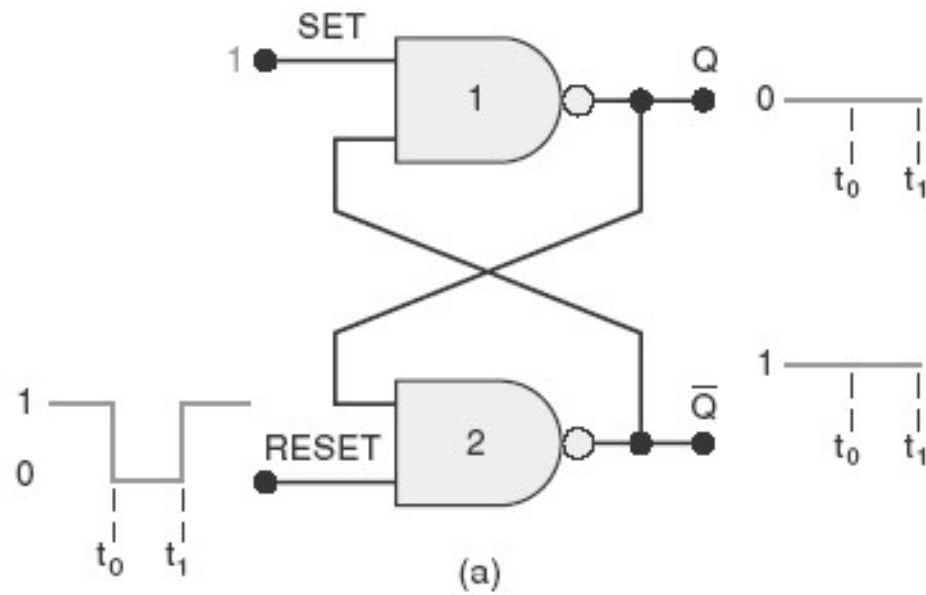
- CASO 1:**



- CASO 2:**

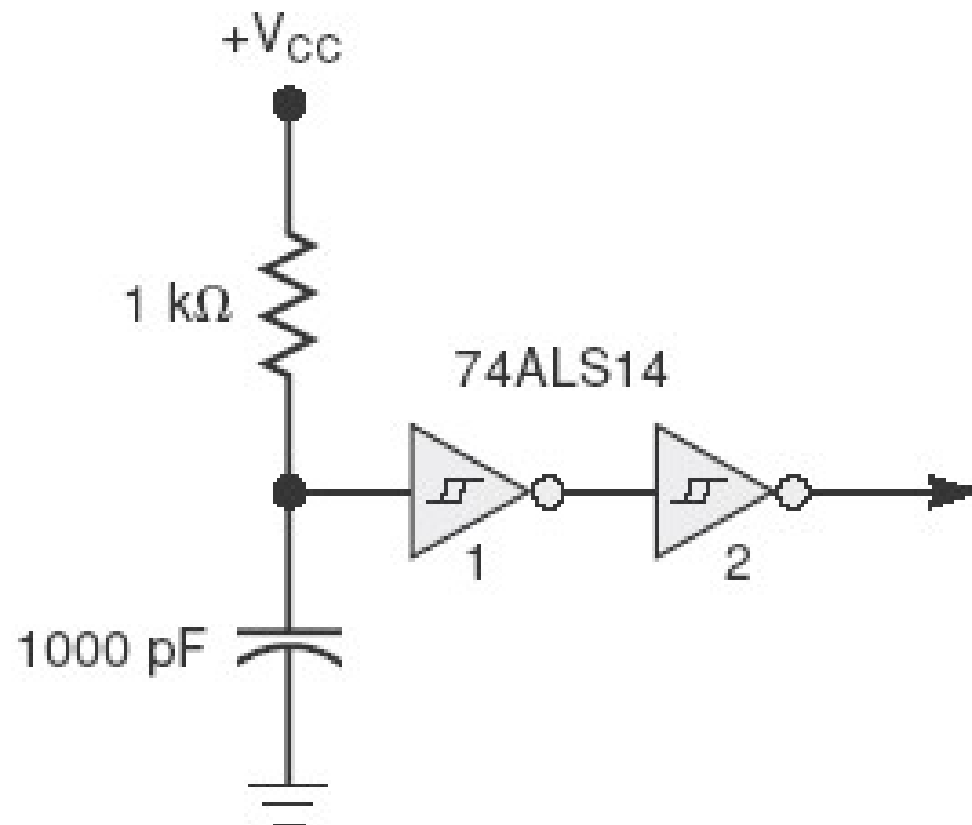


- CASO 3:**



- Inicialização de FFs

- Partida para inicialização do contador em anel
 - Um dos FF's deve ser 'setado' e os demais resetados



Exercício CI's contadores:

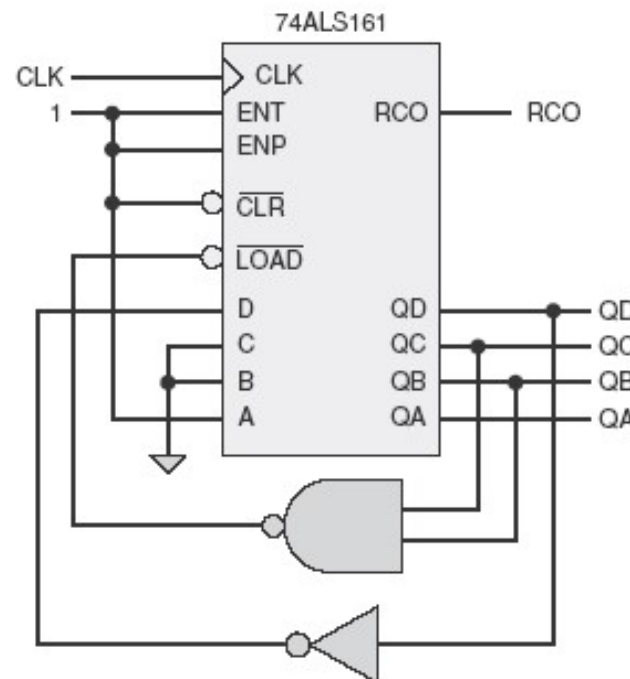
a) [7.22] Consultado o circuito abaixo, responda:

a.1) Desenhe o diagrama de transição de estados

a.2) Determine o módulo do contador

a.3) Qual relação da frequência de saída do MSB com o clock de entrada ?

a.4) Qual o ciclo de trabalho de forma de onda da saída do MSB?



Exercícios de projeto de contadores síncronos:

- a) [7.43*] Projete um contador síncrono usando FFs JK que tenha a seguinte seqüência: 000,010,101,110 e repete. Os estados indesejáveis 001, 011, 100 e 111 têm de levar o contador sempre para 000 no próximo pulso de clock

- b) [7.46] Projete um contador crescente/decrescente síncrono, auto-reciclável, de módulo 7 com FFs JK. Use os estados de 000 a 110 no contador. Controle o sentido de contagem com a entrada D (D=0 para contagem crescente e D=1 para contagem decrescente)