Universidade Federal de Uberlândia
Engenharia Eletrônica e de Telecomunicações

- Microprocessadores –

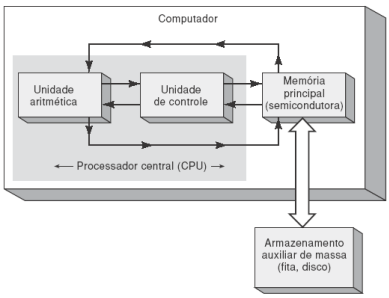
Cap. 1 - Memórias

Prof. Alan Petrônio Pinheiro

Sumário

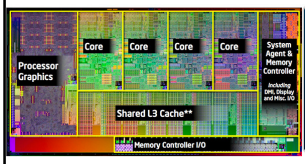
- 1) Introdução e conceitos
- 2) Barramentos
- 3) Memórias ROM e derivadas: decodificação e circuitos
- 4) Memórias ROM e derivadas: decodificação e circuitos
- 5) Projeto de banco de memórias

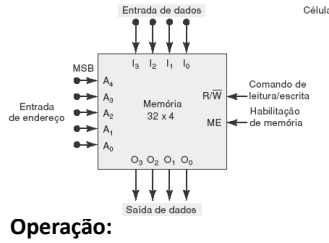
1 - Introdução e conceitos

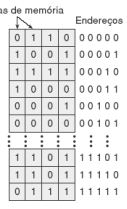


- Célula x Palavra x Capacidade

- Conceitos:
  - Tempo de acesso: recebimento x disponibilidade
  - Memória de acesso aleatório (RAM)
  - Memória apenas de leitura (ROM)
  - Dispositivos de memória estática
  - Dispositivos de memória dinâmica
  - "Memória principal" e memória auxiliar
  - Memória cache



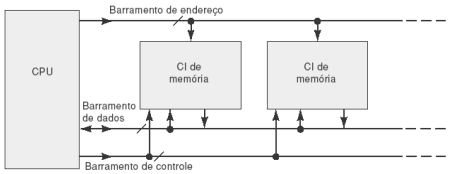




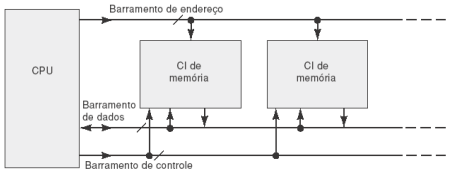
- **Operação:**

1 – aplicar endereço
2 – habilitar dispositivo
3 – colocar os dados no barramento dados
4 – Leitura: habilitar tristate (OE)
5 – Escrita: dados para escrever
6 – habilitar pino escrita
7 – desabilitar pinos controle e desativar chip (CE/CS)

2 - Barramentos



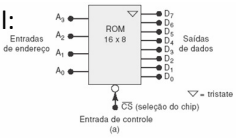
- Operação de escrita:
  - 1 – CPU manda endereço de memória
  - 2 – Habilitação de CE ou CS da memória
  - 3 – CPU coloca dado a ser armazenado
  - 4 – CPU ativa linha controle escrita (WR ou W/R
  - 5 – Memória decodifica endereço e modifica célula



- Operação de leitura:
  - 1 – CPU manda endereço de memória
  - 2 – Habilitação de CE ou CS da memória
  - 3 – CPU ativa linha controle leitura (RD ou W/R)
  - 4 – Memória decodifica endereço e coloca no buffer de saída
  - 5 – Saída tristate ativada

3 - Memórias ROM e derivadas: decodificação e circuitos

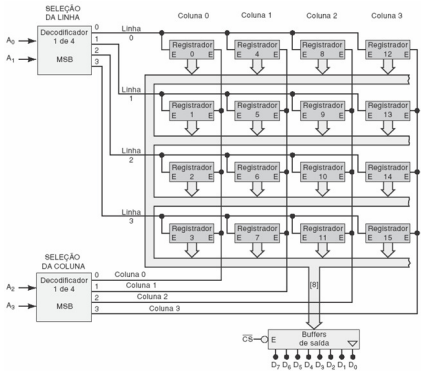
- Diagrama geral:



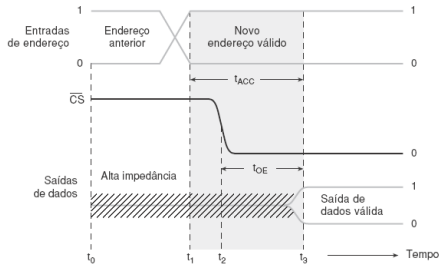
Palavra	Endereço A_3	A_2	A_1	A_0	Dados D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0
0	0	0	0	0	1	1	0	1	1	1	1	0
1	0	0	0	1	0	0	1	1	1	0	1	0
2	0	0	1	0	1	0	0	0	1	0	1	1
3	0	0	1	1	1	0	1	0	1	1	1	1
4	0	1	0	0	0	0	0	1	1	0	0	1
5	0	1	0	1	0	1	1	1	1	0	1	1
6	0	1	1	0	0	0	0	0	0	0	0	0
7	0	1	1	1	1	1	1	0	1	1	0	1
8	1	0	0	0	0	0	1	1	1	1	0	0
9	1	0	0	1	1	1	1	1	1	1	1	1
10	1	0	1	0	1	0	1	1	1	0	0	0
11	1	0	1	1	1	1	0	0	1	1	1	1
12	1	1	0	0	0	0	1	0	0	1	1	1
13	1	1	0	1	0	1	1	0	1	0	1	0
14	1	1	1	0	1	1	0	1	0	0	1	0
15	1	1	1	1	0	1	0	1	1	0	1	1

Palavra	Endereço A_3 A_2 A_1 A_0	Dados D_7–D_0
0	0	DE
1	1	3A
2	2	85
3	3	AF
4	4	19
5	5	7B
6	6	00
7	7	ED
8	8	3C
9	9	FF
10	A	B8
11	B	C7
12	C	27
13	D	6A
14	E	D2
15	F	5B

- Arquitetura da ROM:

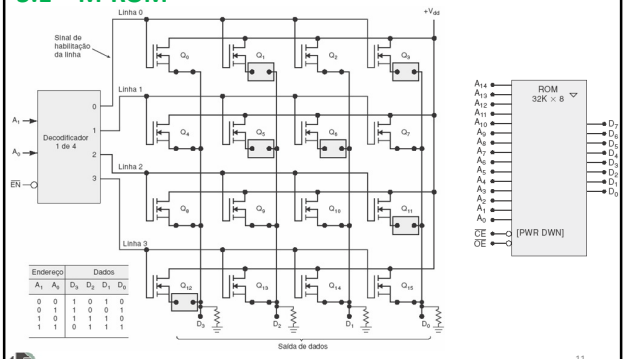


- Temporização da ROM
  - Tacc= tempo de acesso
  - Toe= habilitação de saída

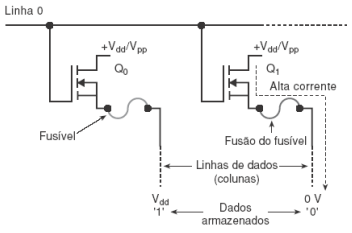


- Tipos de ROM:

3.1 – M-ROM

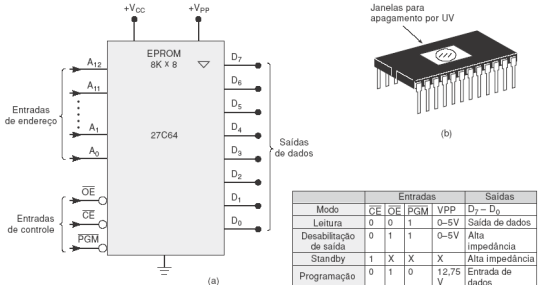


3.2 – PROM



- **3.3 – EPROM**

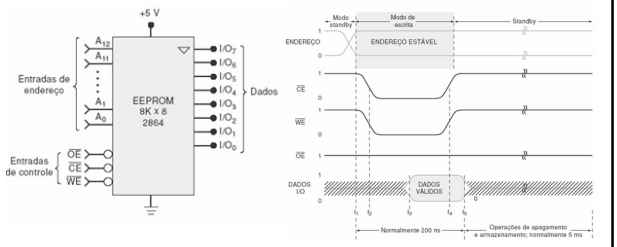
- pulso alta tensão armazena carga condutiva



	Entradas			Saídas
Modo	$\overline{CE}$	$\overline{OE}$	$\overline{PGM}$	VPP	$D_7 - D_0$
Leitura	0	0	1	0–5V	Saída de dados
Desabilitação de saída	0	1	1	0–5V	Alta impedância
Standby	1	X	X	X	Alta impedância
Programação	0	1	0	12,75 V	Entrada de dados
Verificação da programação	0	0	1	12,75 V	Saída de dados

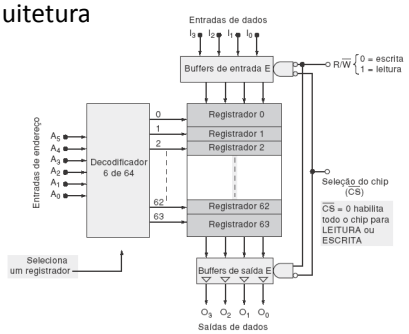
3.3 – EEPROM

Alta tensão reversa entre gate e dreno remove carga condutiva



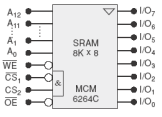
4 – Memória RAM e derivadas: decodificação e circuitos

- Arquitetura



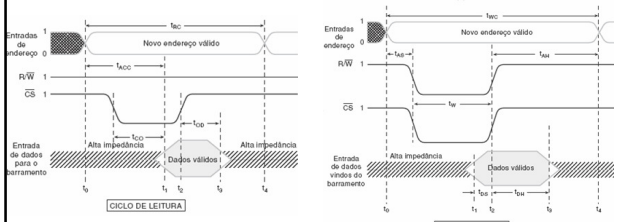
- Tipos:

4.1 - SRAM

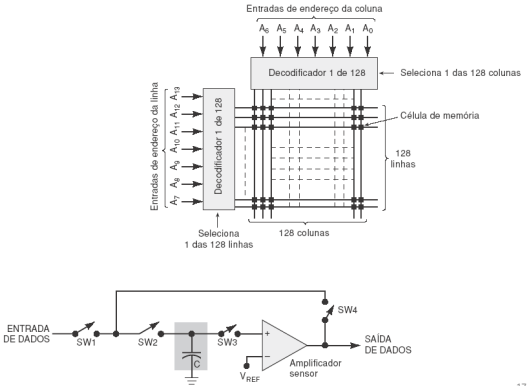


	Entradas				
Modo	$\overline{WE}$	$\overline{CS}_1$	CS_2	$\overline{OE}$	Pinos de I/O
LEITURA	1	0	1	0	Saída de dados
ESCRITA	0	0	1	X	Entrada de dados
Desabilita saída	1	X	X	1	Alta impedância
Não selecionada (standby)	X	1	X	X	Alta impedância
	X	X	0	X	

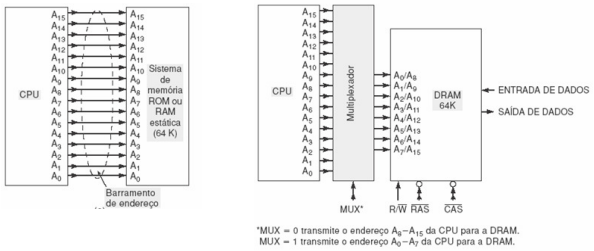
X = irrelevante



- **4.2 - DRAM**

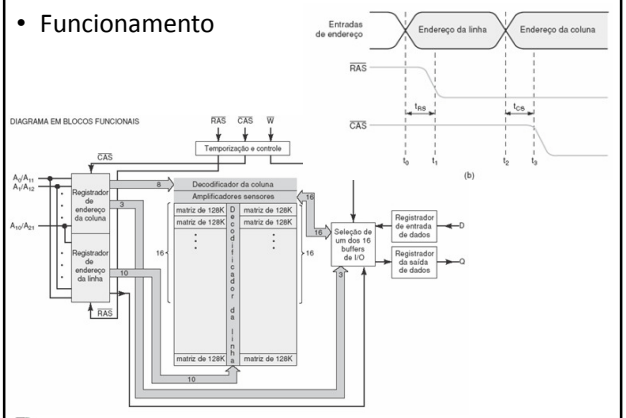


- Multiplexação de pinos



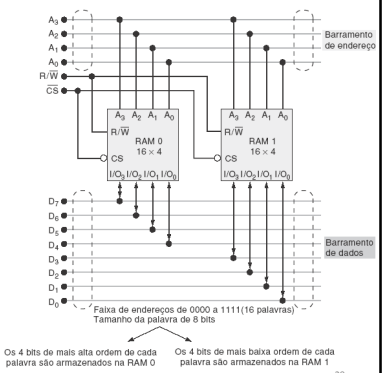
*MUX = 0 transmite o endereço A_8–A_{15} da CPU para a DRAM.
MUX = 1 transmite o endereço A_0–A_7 da CPU para a DRAM.

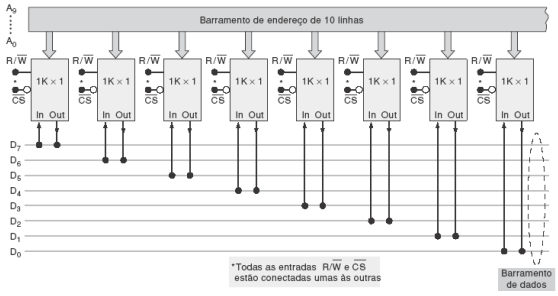
- Funcionamento



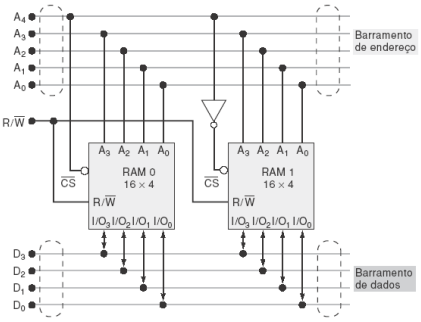
5 – Projeto de banco de memórias

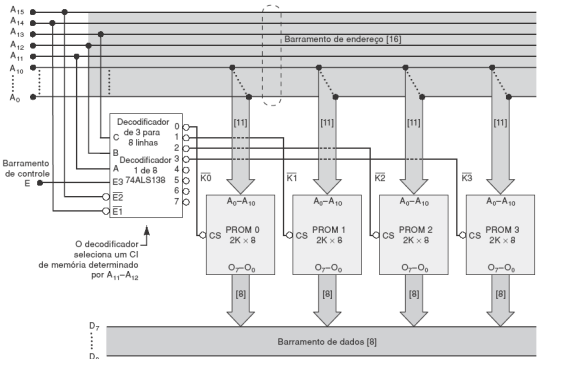
- Tamanho da palavra:





- Capacidade



Faixas de endereço: 00000 a 01111 – RAM 0
10000 a 11111 – RAM 1

Total 00000 a 11111 – (32 palavras)